

Entwicklung eines bidirektionalen DC/DC-Wandlers für die Integration in ein DC-Netz

Moritz Diller
Masterarbeit
Mai 2016

Universität Erlangen-Nürnberg

Technische Fakultät

Lehrstuhl für Elektronische Bauelemente

Prof. Dr. rer. nat. Lothar Frey

Cauerstraße 6, 91058 Erlangen

Art der Arbeit

Masterarbeit

Eingereicht von

Moritz Diller

Titel der Arbeit

Entwicklung eines bidirektionalen DC/DC-Wandlers für die Integration in ein DC-Netz

Betreuer

M.Sc. Matthias Schulz

Prof. Dr.-Ing. Martin März

Beginn der Arbeit

03.11.2015

Abgabe der Arbeit

02.05.2016

Erlangen, den 02.05.2016

Erklärung

Ich versichere, dass ich die Arbeit ohne fremde Hilfe und ohne Benutzung anderer als der angegebenen Quellen angefertigt habe und dass die Arbeit in gleicher oder ähnlicher Form noch keiner anderen Prüfungsbehörde vorgelegen hat und von dieser als Teil einer Prüfungsleistung angenommen wurde. Alle Ausführungen, die wörtlich oder sinngemäß übernommen wurden, sind als solche gekennzeichnet.

Moritz Diller

Kurzzusammenfassung

Inhalt dieser Arbeit sind die Entwicklung, der Aufbau und die Vermessung eines Spannungswandlers zur Anbindung von 24 V Niederspannungsgeräten an ein 380 V DC-Netz. Einerseits sind dies Bürogeräte, wie beispielsweise Bildschirme oder Laptops, und andererseits einspeisende Quellen, wie Fassaden PV-Anlagen niedriger Leistungsklasse oder lokale Energiespeicher. Der DC/DC-Wandler ist daher für den Betrieb mit bidirektionalem Energiefluss zwischen den beiden Spannungsebenen und eine maximale Ausgangsleistung von 600 W entworfen.

Die Optimierung des Wandlers erfolgt in Richtung hoher Wirkungsgrade und guter Zugänglichkeit der Komponenten zu erleichterten Messungen aller relevanten Größen. Die Minimierung des Bauraumes besitzt eine untergeordnete Priorität.

Zur Vorgabe genau definierter Parameter für die Erzeugung der Taktsignale der Leistungsschalter innerhalb des Wandlers, dient eine grafische Oberfläche, die für den PC programmiert ist. Damit ist es möglich, die Parameter schnell während des Betriebs zu variieren um deren Auswirkungen auf die Wandler-effizienz zu untersuchen und die optimalen Ansteuerzeiten zu finden. Diese Arbeit beschränkt sich auf die leistungselektronische Auslegung des DC/DC-Wandlers und die Optimierung des Wirkungsgrades in einem möglichst weiten Betriebsbereich. Eine regelungstechnische Betrachtungsweise ist nicht Ziel der Arbeit.

Die vorliegende Arbeit baut auf dem DC/DC-Wandler aus [Sch15] auf, welcher für den unidirektionalen Betrieb von 380 V zu 24 V entwickelt ist.

Abstract

This work contains the development, construction and verification of a DC/DC converter which connects 24 V low voltage devices to a 380 V DC grid. On the one hand these are office devices like monitors or laptops and on the other hand power injecting sources like PV facade elements with low power or local energy storage systems. Consequently the DC/DC converter is designed for operation with bidirectional energy flow between both voltage levels and a maximum output power of 600 W.

The converter is optimized with respect to high efficiency and good accessibility of the components to ease measurements of all relevant values. Space minimization has a low priority.

In order to adjust the parameters for the generation of the control signals of the power switches a graphical user interface on the PC is designed. With this tool it is possible to easily vary the parameters during live operation of the converter in order to observe their influence on overall efficiency and find the optimum timing values. This work focuses on the dimensioning of the power electronic components of the DC/DC converter and the optimization of the efficiency in a broad operation range. The control technology is not regarded in this work.

The present work is based on the DC/DC converter from [Sch15] which is designed for unidirectional operation from 380 V to 24 V.



Inhaltsverzeichnis

1. Einleitung	1
2. Technische Daten	3
2.1. Vorgaben zur Auslegung	3
2.2. Isolierstrecken	3
3. Topologie	4
3.1. Auswahlprozess	4
3.2. Ausführliche Beschreibung	7
3.2.1. Energiefluss von LVDC zu SELV mit hartgeschalteter Primärseite .	7
3.2.2. Energiefluss von LVDC zu SELV mit hartgeschalteter Sekundärseite	11
3.2.3. Energiefluss von SELV zu LVDC	13
4. Überblick	14
5. Grundlagen zur Kernauslegung	15
5.1. Magnetische Flussdichte im Kern	15
5.2. A_L -Wert	16
5.3. Ohmscher Widerstand einer Leiterbahn	16
6. Auslegung des Hauptwandlers	17
6.1. Transformator	17
6.1.1. Übersetzungsverhältnis	17
6.1.2. Tastgrad	17
6.1.3. Aussteuerung des Kernmaterials	18
6.1.4. Kupferverluste	19
6.1.5. Auswahl des Kerns	20
6.1.6. Realisierung des Transformators	21
6.1.7. Bestimmung der Windungszahlen	22
6.2. Auswahl der Leistungshalbleiter	24
6.2.1. Primärseite	24
6.2.2. Sekundärseite	26
6.3. Treiberschaltungen	27
6.3.1. SiC-MOSFETs	27
6.3.2. Si-MOSFETs	28
6.4. Drossel L_C	30

6.5. Kondensatoren und Filter	31
6.5.1. Primärseite	31
6.5.2. Sekundärseite	32
6.6. Schutzschaltungen	33
6.7. Verluste und Effizienz	35
7. Messschaltungen und Steuerboard	37
7.1. Messeinrichtungen	37
7.2. Steuerboard	38
8. Software	40
8.1. Grafische Oberfläche	40
8.2. XMC4400 Firmware	43
8.3. CAN Schnittstelle	47
9. Hilfsversorgungen	50
9.1. SiC Gate-Treiber Versorgung	50
9.1.1. Strombedarf des SiC-Treibers	50
9.1.2. Flyback Converter	50
9.1.3. Wicklungsverhältnis	51
9.1.4. Hauptinduktivität	51
9.1.5. Sättigungsstrom	52
9.1.6. Auswahl des Kerns	52
9.1.7. Feedback-Widerstand	54
9.1.8. Primärseitiger Snubber	55
9.1.9. Sekundärseitiger Snubber	56
9.1.10. Minimallast	56
9.1.11. Sekundärseitiges Massepotential	56
9.2. 22 V Hilfswandler	58
9.2.1. Schaltplan	58
9.2.2. Anforderungen	58
9.2.3. Transformator dimensionierung	59
9.2.4. Minimale Einschaltzeit $t_{on(min)}$	60
9.2.5. Auswahl des Kerns	60
9.2.6. Wicklungsverhältnis	61
9.2.7. Verlustleistung	62
9.2.8. Auslegung der Snubber	64

10. Aufbau des DC/DC-Wandlers	66
10.1. Layouts	66
10.1.1. Leistungsplatine	66
10.1.2. Si-MOSFET Treiber	67
10.1.3. SiC-MOSFET Treiberversorgung	67
10.1.4. Transformator und Drossel	68
10.1.5. Steuerboard	68
10.1.6. 22 V Hilfswandler	69
10.2. 3D CAD Modell	69
10.3. Realer Aufbau des Wandlers	71
11. Messergebnisse	73
11.1. SiC Gate-Treiber Versorgung	73
11.1.1. Planartransformator	73
11.1.2. V_{DS} und V_{sec}	74
11.1.3. Ausgangsspannung	75
11.1.4. Wirkungsgrad	75
11.1.5. Verlustleistungsbilanz	76
11.1.6. Wärmeverteilung	77
11.1.7. Bewertung	77
11.2. 22 V Hilfswandler	79
11.2.1. Planartransformator	79
11.2.2. V_{DS} und V_{sec}	79
11.2.3. Ausgangsspannung	81
11.2.4. Lastsprung	81
11.2.5. Standby Verbrauch	83
11.2.6. Wirkungsgrad	83
11.2.7. Verlustleistungsbilanz	84
11.2.8. Wärmeverteilung	84
11.2.9. Bewertung	84
11.3. Hauptwandler	86
11.3.1. Planartransformator und -drossel	86
11.3.2. Schutzschaltung Richtung LVDC-Netz	87
11.3.3. Doppelpulstest	88
11.3.4. Messaufbau	90
11.3.5. Einfluss der Klemmkondensatoren	91
11.3.6. Wirkungsgradmessungen LVDC \rightarrow SELV und SELV \rightarrow LVDC . . .	92

11.3.7. Messungen mit dem Oszilloskop LVDC \rightarrow SELV	93
11.3.8. Messungen mit dem Oszilloskop SELV \rightarrow LVDC	96
11.3.9. Vergleich der Verlustleistungen beider Energieflussrichtungen	97
11.3.10. Einfluss der Schaltfrequenz auf die Verlustleistungen	98
11.3.11. Verlustleistungsbilanz des Gesamtwandlers	100
11.3.12. Höhe der Treiberversorgungsspannung	103
11.3.13. Passive Low-Side-Gleichrichtung auf der Sekundärseite	104
11.3.14. Parallel geschaltete SBRT-Dioden	106
11.3.15. Deaktivierte Synchrongleichrichtung im Boost-Betrieb	106
11.3.16. Primärseitiger Tastgrad	107
11.3.17. Vergleich mit unidirektionalem Wandler	109
12. Zusammenfassung	110
13. Fazit und Ausblick	112
A. Anhang	115
A.1. Simulationsmodell	115
Tabellenverzeichnis	116
Abbildungsverzeichnis	117
Formelzeichenverzeichnis	120
Literatur	129

1. Einleitung

Am Fraunhofer IISB in Erlangen werden derzeit Systeme entwickelt, um das bisher übliche 230 V AC-Versorgungsnetz in der Gebäudeinstallation durch ein Gleichspannungsnetz zu ersetzen. Ein DC-Spannungsnetz bietet im Wesentlichen den Vorteil, dass die Effizienz der Schaltnetzteile zur DC/DC-Spannungswandlung im Vergleich zu AC/DC-Netzteilen deutlich gesteigert werden kann. Die Komponenten zur Gleichrichtung und Power-Factor-Correction (PFC) der herkömmlichen AC/DC Wandlung können entfallen und damit Kosten eingespart und die Verlustleistung verringert werden. Aufgrund der derzeit geringen Verbreitung von DC/DC-Netzen können von vornherein Wandlungsansätze implementiert werden, die einer effizienten Leistungsverteilung entgegenkommen.

Der Wandler, welcher im Rahmen dieser Arbeit entworfen und realisiert wird, stellt dabei die Schnittstelle zwischen dem 380 V DC-Netz, das die einzelnen Räume eines Gebäudes verbindet, und einem galvanisch getrennten 24 V Netz her, das lokal eine begrenzte Anzahl von Arbeitsplätzen mit Energie versorgt. An diesem Niederspannungsnetz werden die Endverbraucher direkt oder über effiziente Buck-Converter angebunden. Zusätzlich soll die Möglichkeit untersucht werden, Energie aus dem 24 V Netz in das 380 V Netz zurück zu speisen. Dadurch können beispielsweise Fassaden PV-Anlagen oder Energiespeicher einer geringen Leistungsklasse gut in das DC-Netz integriert werden. Der Vorteil der Verbindung zwischen den Solarzellen und dem 24 V Netz liegt darin, dass die Wandlerverluste beim alternativen Umweg über das 380 V Netz vermieden werden, sofern die gewonnene Energie direkt durch Verbraucher im angeschlossenen 24 V Netz genutzt werden kann. Ist die Leistungsaufnahme hingegen gering, beispielsweise an Wochenenden, wenn der entsprechende Büroraum ungenutzt bleibt, so soll die Energie ins 380 V Netz übertragen werden und dort für Großverbraucher zur Verfügung stehen oder in zentrale Speicher übertragen werden.

Der letztgenannte Betriebsfall wird im Vergleich zur Leistungsflussrichtung von 380 V zu 24 V in der Regel einen deutlich geringeren Anteil einnehmen, so dass in erster Linie die Effizienz des Energieflusses in Richtung 24 V optimiert werden soll.

Die Arbeit baut auf dem unidirektionalen Wandler aus [Sch15] auf. Die dort eingesetzte Topologie besteht aus einer kapazitiven Halbbrücke auf der Hochvoltseite und einem aktiven Vollwellengleichrichter auf der Niederspannungsseite. Den Schaltplan mit den wesentlichen leistungselektronischen Bauelementen zeigt Abb. 1.1.

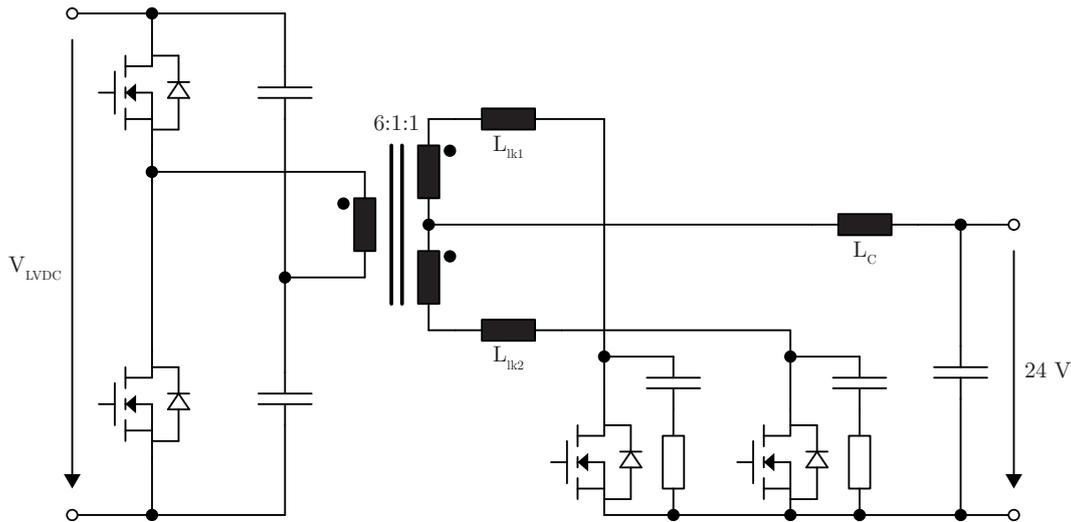


Abb. 1.1: Topologie der kapazitiven Halbbrücke mit aktiver Vollwellengleichrichtung aus [Sch15]

Prinzipiell ist dieser Aufbau rückspeisefähig, allerdings zeigt die Simulation der Schaltung, dass dabei die Überspannungen an den Schaltern der Niederspannungsseite zu großen Verlustleistungen in den Snubber-Netzwerken führen. Aus diesem Grund werden die passiven Snubber durch eine aktive Klemmschaltung ersetzt. Anstatt der Silizium-MOSFETs in der kapazitiven Halbbrücke werden Siliziumcarbid-MOSFETs verwendet, um damit die Verluste in den Halbbrücken-MOSFETs zu verkleinern und dadurch die Effizienz zu steigern.

Zum Abschluss der Einleitung werden noch die Bezeichnungen der beiden Spannungsniveaus, zwischen denen der Wandler Energie transferiert, erläutert. Die Anschlussseite, welche an das 380 V Netz angebunden wird, wird im Folgenden Primärseite genannt. Analog werden alle Komponenten, die galvanisch mit dem 24 V Netz verbunden sind, zur Sekundärseite gezählt. Das trennende Element stellt der Transformator dar.

Die Spannung am primärseitigen Netzanschluss des Wandlers wird mit Low Voltage DC (LVDC) bezeichnet, am sekundärseitigen Anschluss wird der Begriff Safety Extra Low Voltage (SELV) genutzt.

Für den Leistungsfluss von LVDC zu SELV wird die Bezeichnung Buck-Betrieb eingeführt. Analog gilt für den Energietransfer von SELV zu LVDC der Begriff Boost-Betrieb.

2. Technische Daten

2.1. Vorgaben zur Auslegung

Nennspannung LVDC:	$V_{LVDC,N} = 380 \text{ V}$
Spannungsbereich LVDC:	$V_{LVDC,min} = 360 \text{ V} \dots V_{LVDC,max} = 400 \text{ V}$
Nennspannung SELV:	$V_{SELV,N} = 24 \text{ V}$
Ausgangsleistung SELV:	$P_{SELV,max} = 600 \text{ W}$
Schaltfrequenz:	$f_S = 100 \text{ kHz}$

2.2. Isolierstrecken

Analog zur vorausgehenden Arbeit [Sch15] werden alle Isolierabstände entsprechend der Norm EN 60950-1 ausgelegt. Das Gerät wird mit den folgenden Eigenschaften klassifiziert:

- Isoliergrad: zusätzliche Isolierung
- Schutzklasse: 2
- Verschmutzungsgrad: 2
- Isolierstoffgruppe: IIIb

Für transiente Überspannung im Versorgungsnetz ist der Norm der Wert von 4 kV entnommen. Es gelten folgende Mindestabstände:

- Luftstrecken vom Primärstromkreis zu geerdeten Teilen und vom Primär- zum Sekundärstromkreis: 3,2 mm
- Kriechstrecken Primärstromkreis: 4,0 mm
- Kriechstrecken Sekundärstromkreis (24V): 0,5 mm
- Kriechstrecken Sekundärstromkreis (80V): 1,3 mm
- Mit Schutzbelag überzogene Leiterbahnen Primärstromkreis: 0,7 mm
- Mit Schutzbelag überzogene Leiterbahnen Sekundärstromkreis (80V): 0,04 mm
- Leiterbahnen in Innenlagen Primärstromkreis: 0,4 mm
- Leiterbahnen in Innenlagen Sekundärstromkreis: keine Anforderungen
- Abstand zwischen zwei Lagen Primärstromkreis: mind. 3 Prepregs

3. Topologie

Wie bereits in der Einleitung erwähnt, ist die Topologie aus [Sch15] für den bidirektionalen Betrieb verbesserungswürdig. In den folgenden Abschnitten wird deshalb zunächst der Auswahlprozess für die neue Topologie ausgeführt und anschließend die gewählte Topologie im Detail beschrieben.

3.1. Auswahlprozess

Nach einer Literaturrecherche werden drei unterschiedliche Topologien in die engere Auswahl aufgenommen. Die kapazitive Halbbrücke bewährt sich bereits in [Sch15] auf der 380 V Seite und soll deshalb weiterhin eingesetzt werden. Besonders vorteilhaft ist die geringe Anzahl an Leistungsschaltern, wodurch der Aufwand für die Ansteuerung minimiert wird. Zudem beschränkt sich die notwendige Spannungsfestigkeit der Schalter, im idealisierten Fall, auf den Wert der Spannung V_{LVDC} .

Die erste Topologie besteht auch auf der Sekundärseite des Wandlers aus einer kapazitiven Halbbrücke und ist in Abb. 3.1 mit den wesentlichen Komponenten dargestellt.

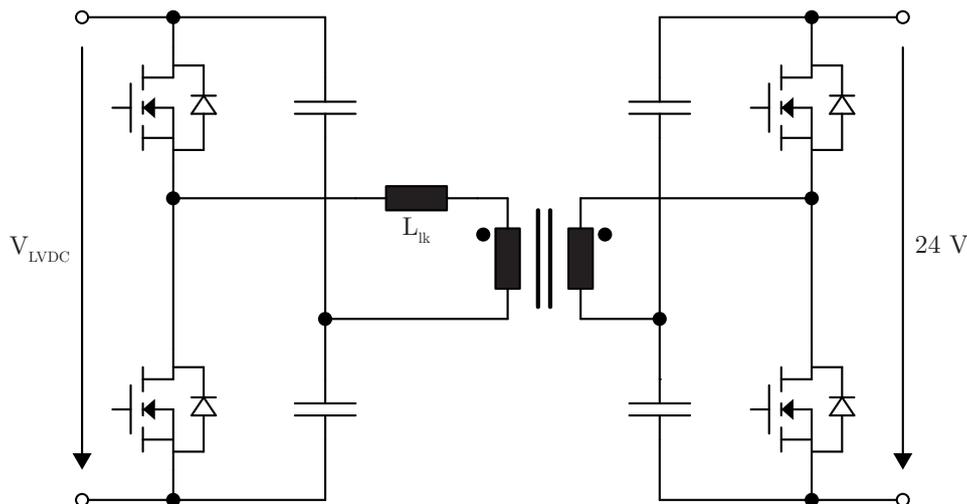


Abb. 3.1: Topologie der Dual Active Half Bridge

Die Schaltung wird in [CC14] und [TDH08] im Detail beschrieben.

Der Energiefluss zwischen Primär- und Sekundärseite kann über den Phasenversatz zwischen den Pulsmustern der beiden Halbbrücken gesteuert werden. Nach [CC14] sind dabei die Bedingungen für Zero-Voltage-Switching stets erfüllt, wenn Primär- und Sekundärspannung unter Berücksichtigung des Transformatorübersetzungsverhältnisses den gleichen Wert besitzen. Weicht eine der beiden Spannungen von ihrem Nominalwert ab, so ist Zero-Voltage-Switching weiterhin über den gesamten Leistungsbereich möglich,

falls zusätzlich zum Phasenversatz der Tastgrad der pulsweitenmodulierten Ansteuer-signale geeignet variiert wird. Ein großer Nachteil dieser Topologie ist die hohe Blindleistung, welche zwischen Primär- und Sekundärseite pendelt und in der Folge zu einer hohen Strombelastung aller Leistungsbauelemente mit entsprechender Verlustleistung führt. Insbesondere, wenn Ein- oder Ausgangsspannung des Wandlers von ihrem Nominalwert abweicht, steigt die Strombelastung der Bauteile. Aufgrund der Forderung, dass ein gewisser Spannungsbereich auf der Primärseite abgedeckt werden muss, wird die Topologie deshalb als weniger gut geeignet eingestuft.

Durch Hinzufügen einer weiteren Drossel auf der Sekundärseite des Wandlers ergibt sich die Topologie aus Abb. 3.2. Eine intensivere Betrachtung der Eigenschaften dieser Topologie findet ebenfalls in [CC14] und [TDH08], sowie in [PLSL04] statt.

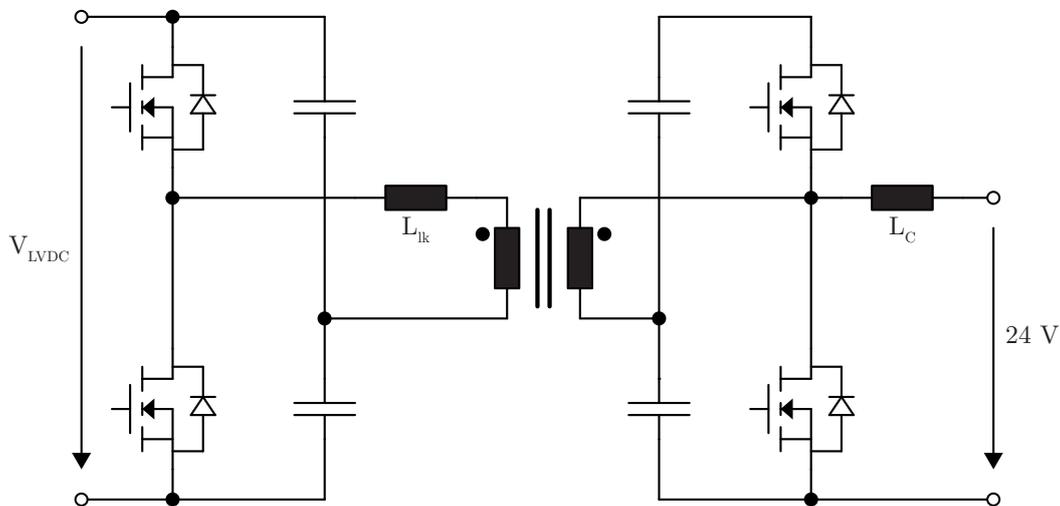


Abb. 3.2: Topologie der Dual Active Half Bridge mit Current Source auf der Sekundärseite

Wird nur die rechte Seite der Schaltung betrachtet und der Transformator entfernt, so stellt diese Topologie einen Boost-Converter dar, der die Spannung von 24 V zu einer höheren Spannung, über den beiden Halbbrückenkondensatoren, wandelt. Der Wert dieser Spannung kann über den Tastgrad der MOSFET-Halbbrücke eingestellt bzw. geregelt werden. Umgekehrt betrachtet ist die Schaltung ein Buck-Converter, wenn Energie aus der Serienschaltung der Halbbrückenkondensatoren zum 24 V Anschluss transportiert wird.

Der gesamte Schaltungsteil links von L_C entspricht Abb. 3.1. In dieser Kombination können alle Vorteile von Topologie 1 ausgenutzt werden und die schlechten Eigenschaften beim Betrieb mit Primär-/Sekundärspannungen, die vom Nominalwert abweichen, umgangen werden. Der Tastgrad der Buck-/Boost-Stufe wird stets so eingestellt, dass

das Verhältnis der Spannungen über den beiden kapazitiven Halbbrücken dem Übersetzungsverhältnis des Transformators entspricht.

In der Simulation haben sich allerdings auch bei dieser Topologie einige Schwächen aufgezeigt. Durch die Buck-/Boost-Stufe wird der Low-Side-MOSFET auf der Sekundärseite mit einem verhältnismäßig (im Vergleich zur nachfolgenden Topologie) hohen Strom belastet. Zudem reagierte die Schaltung sehr empfindlich auf Phasenverschiebungen im Nanosekundenbereich mit starken Änderungen der transportierten Leistung. Dem kann prinzipiell durch ein Vergrößern von L_{lk} entgegen gewirkt werden, allerdings entstehen durch diese zusätzliche Komponente und die höhere Blindleistung weitere Verlustleistungen und der Bauraumbedarf wird vergrößert. L_{lk} kann prinzipiell auch durch den entsprechenden Entwurf des Transformators vergrößert werden, die exakte Berechnung des Wertes von L_{lk} vor der Realisierung ist dabei jedoch aufwendig. Die Vorteile der Integration einer externen Induktivität in den Transformator sind daher im Einzelfall genau abzuwägen.

Aus diesen Gründen wird die dritte Topologie gewählt, welche die Schaltung aus [Sch15] erweitert und über den Tastgrad anstatt der Phasenverschiebung geregelt werden kann.

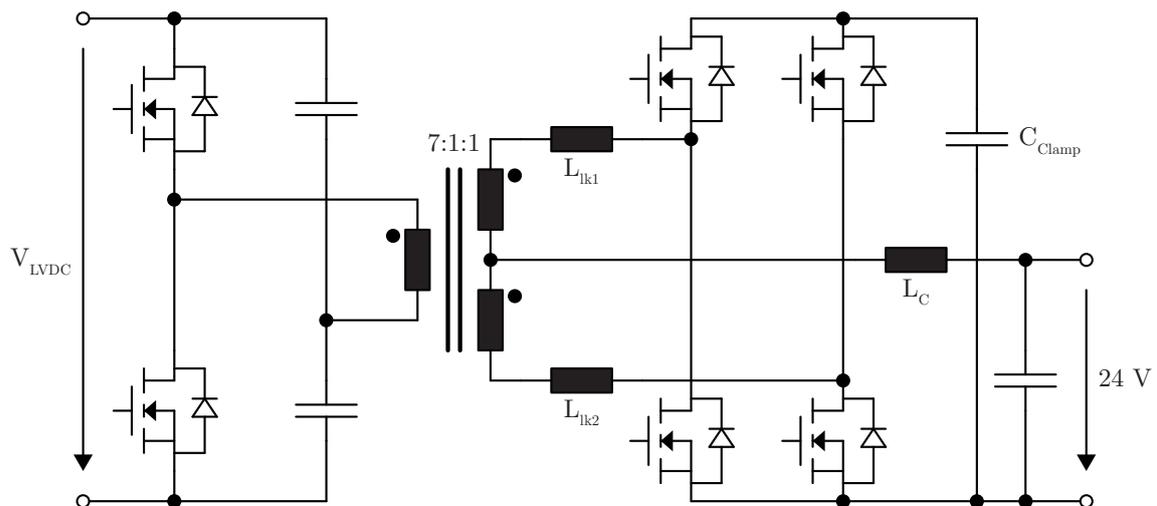


Abb. 3.3: Topologie: Kapazitive Halbbrücke/Push-Pull-Stufe mit aktiver Klemmschaltung

In Abb. 3.3 besteht die Sekundärseite aus einer Schaltung, die in der einschlägigen Literatur als Vollwellengleichrichter bei Energiefluss von Primär- zur Sekundärseite und als Push-Pull-Stufe in entgegengesetzter Energieflussrichtung bezeichnet wird. Zusätzlich sind zwei High-Side-MOSFETs vorgesehen, die an den Kondensator C_{Clamp} angeschlossen sind. Diese Klemmschaltung wird bereits in den Arbeiten [MCB12], [KKKN09] und [HWT⁺05] in Kombination mit einer Push-Pull-Stufe vorgestellt. Über die zwei

High-Side-Transistoren werden die Energien der Streuinduktivitäten L_{lk1} und L_{lk2} beim Abschalten der zugehörigen Low-Side-MOSFETs in C_{Clamp} abgeleitet und verursachen deshalb kaum messbare Überspannungen an den Transformatoranschlüssen. Bevor die High-Side-Schalter in den hochohmigen Zustand versetzt werden, wird die von C_{Clamp} aufgenommene Energiemenge zurück in den Transformator gespeist, so dass die Spannung an C_{Clamp} nicht stetig steigt, sondern einen bestimmten Endwert nicht überschreitet. Ein RC-Snubber wie in [Sch15] ist deshalb nicht notwendig, so dass die Effizienz gesteigert werden kann.

3.2. Ausführliche Beschreibung

Für das Verständnis der gewählten Topologie sind in den folgenden Unterkapiteln drei unterschiedliche Betriebsarten erörtert.

3.2.1. Energiefluss von LVDC zu SELV mit hartgeschalteter Primärseite

Zur genaueren Beschreibung wird in Abb. 3.4 eine Schaltperiode im Betrieb mit kontinuierlichem Stromverlauf in der Drossel L_C und Energiefluss von LVDC zu SELV gezeigt und im Folgenden erläutert. Dabei wird mit den nominellen Spannungen $V_{LVDC,N}$ von 380 V und V_{SELV} von 24 V gerechnet und zunächst angenommen, dass alle sekundären Transistoren nicht aktiv geschaltet werden.

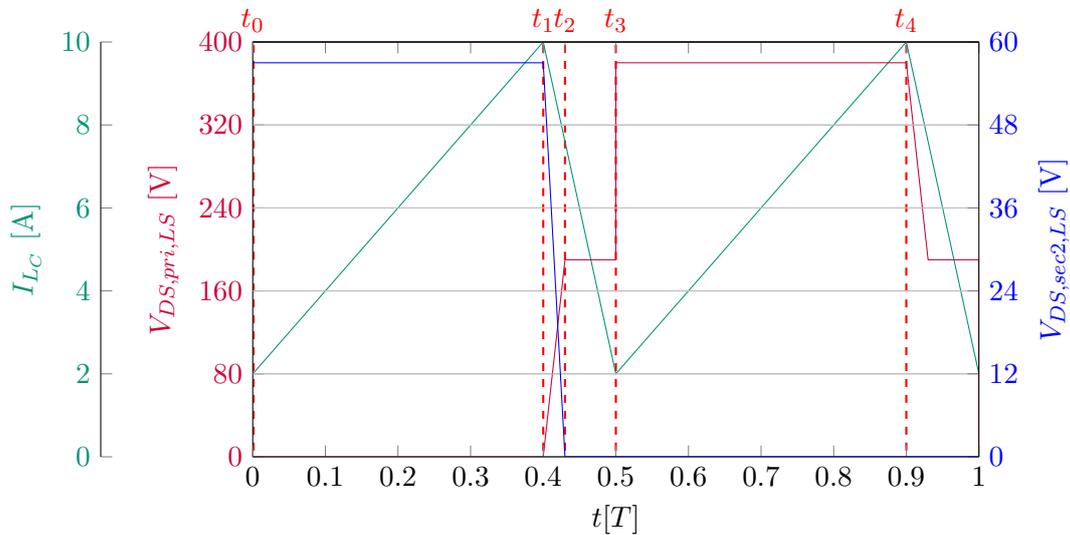


Abb. 3.4: LVDC → SELV: Schaltperiode im CCM

Die, für das Verständnis relevanten, Stromflüsse sind in Abb. 3.5 für die Intervalle zwischen t_0 und t_1 sowie t_2 und t_3 eingezeichnet.

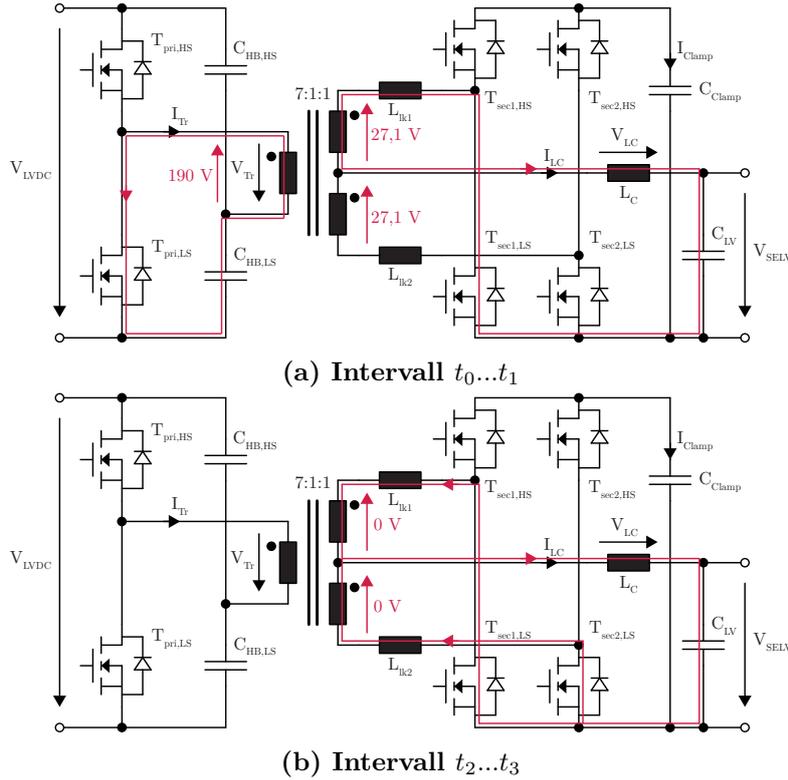


Abb. 3.5: Ausschnitte einer Schaltperiode

1. Zum Zeitpunkt t_0 schaltet $T_{pri,LS}$ ein, so dass dessen Spannung $V_{DS,pri,LS}$ annähernd den Wert Null annimmt. Über Kondensator $C_{HB,LS}$ liegt im Mittel die halbe Primärspannung, also 190 V, so dass V_{Tr} eine Spannung von -190 V erreicht. V_{Tr} wird mit dem Wicklungsverhältnis 7 : 1 auf die Sekundärseite transformiert, d.h. an jeder Sekundärwicklung liegt eine Spannung von $190 \text{ V}/7$ also circa 27,1 V. Aufgrund des positiven Stromflusses I_{LC} wird in diesem Intervall die Body-Diode von $T_{sec1,LS}$ leitend und die Spannung $V_{DS,sec1,LS}$ wird dadurch näherungsweise zu 0 V angenommen. Die Spannung über der Drossel V_{LC} beträgt folglich $27,1 \text{ V} - 24 \text{ V}$ also 3,1 V und der Drosselstrom I_{LC} steigt linear mit der Steigung:

$$\frac{dI_{LC}}{dt} = \frac{3,1 \text{ V}}{L_C} \quad (3.1)$$

2. Die nächste Schalthandlung erfolgt zu t_1 , hier wird $T_{pri,LS}$ abgeschaltet und $T_{pri,HS}$ bleibt weiterhin inaktiv. Aufgrund des negativen Stromflusses I_{Tr} wird die Ausgangskapazität von $T_{pri,LS}$ geladen sowie die Wicklungskapazitäten entladen und die Spannung $V_{DS,pri,LS}$ steigt bis auf 190 V. Ab diesem Zeitpunkt t_2 hat V_{Tr} den

Wert 0 V und auch die Spannungen an den Sekundärwicklungen betragen 0 V. Dadurch teilt sich der Strom I_{LC} auf die Body-Dioden der Transistoren $T_{sec1,LS}$ und $T_{sec2,LS}$ auf. Die Spannung V_{LC} hat näherungsweise den Wert -24 V und der Strom I_{LC} fällt linear ab.

3. Zu t_3 wird $T_{pri,HS}$ eingeschaltet und die beschriebenen Vorgänge wiederholen sich, wobei V_{Tr} nun positiv ist und die Halbbrücken der Sekundärseite ihre Rolle tauschen.

Bisher ist die Funktion der Klemmschaltung, bestehend aus den High-Side-Transistoren $T_{sec1,HS}$, $T_{sec2,HS}$ und dem Kondensator C_{Clamp} , ignoriert. Unter der Annahme, dass L_{lk1} und L_{lk2} gleich null sind, lädt sich die Spannung V_{Clamp} über die Body-Dioden der HS-Schalter auf $2 \cdot 190$ V/7 und damit ungefähr 54,2 V beim Einschalten des Wandlers. Anschließend findet kein Stromfluss mehr in der Klemmschaltung statt. Da die Streuinduktivitäten L_{lk1} und L_{lk2} in der Praxis größer als null sind, muss deren Energie, aufgrund des vorliegenden Stromflusses durch die Sekundärwicklungen, beim Umschalten der primärseitigen Halbbrücke abgegeben werden. Die Strompfade durch die Streuinduktivität L_{lk2} , um den Zeitpunkt t_0 , sind mit grüner Farbe in Abb. 3.6 eingezeichnet.

Abb. 3.6a zeigt den Stromfluss in die Drain-Source-Kapazität von $T_{sec2,LS}$. Diese Kapazität wird beim Umschalten der SiC-MOSFET-Halbbrücke auf eine Spannung von etwa 54,2 V aufgeladen. Ist der Ladevorgang abgeschlossen, muss der Stromfluss durch L_{lk2} , aufgrund der Stetigkeitsbedingung für den Strom in Induktivitäten, aufrechterhalten werden. Wegen der eingezeichneten Stromrichtung wird die Body-Diode von $T_{sec2,HS}$ leitend und die Klemmkapazität C_{Clamp} nimmt die Energie auf, welche in L_{lk2} gespeichert ist. Um den unkontrollierten Spannungsanstieg zu verhindern, werden die HS-Schalter aktiv getaktet, so dass auch ein Stromfluss in die Rückrichtung möglich ist. Die Energie der Streuinduktivität pendelt dabei ab dem Zeitpunkt t_0 im Schwingkreis aus $L_{lk1/2}$ und C_{Clamp} , bis der nächste Schaltvorgang einsetzt.

Zur Erhöhung der Effizienz, insbesondere bei hoher Last, ist es sinnvoll die Low-Side-Schalter $T_{sec1,LS}$ und $T_{sec2,LS}$ aktiv zu schalten. Dabei wird der Spannungsabfall über dem Leistungsschalter aufgrund der Flussspannung der Body-Diode verringert und die entsprechende Verlustleistung wird gesenkt. Nur bei sehr niedrigen Ausgangsströmen des Wandlers überwiegt die zusätzlich erforderliche Ansteuerleistung und die Gesamteffizienz ist bei reiner Gleichrichtung über die Body-Dioden höher.

Vorteilhaft ist, dass bei der aktiven sekundärseitigen Gleichrichtung kaum zusätzliche Schaltverluste entstehen, da die Schalter im gesamten Leistungsbereich bei einer Drain-Source-Spannung nahe 0 V weich ein- und ausgeschaltet werden können. Das weiche

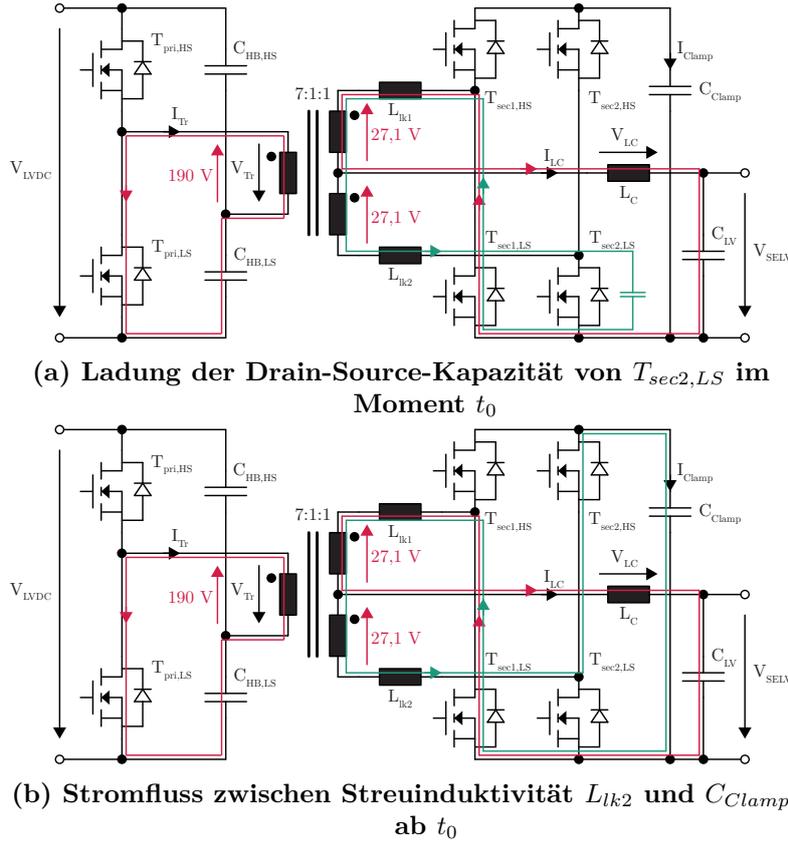


Abb. 3.6: Ausschnitte einer Schaltperiode mit Pfaden des Klemmstroms

Schalten ist möglich, da die Ströme durch die Transistoren stets so gerichtet sind, dass kein Spannungsanstieg über der Drain-Source-Spannung stattfindet und somit der gesamte Schaltvorgang bei niedriger Spannung erfolgt. Die maximal zu schaltende Spannung ist die Flussspannung der Body-Diode.

Auf der Primärseite ist weiches Schalten der MOSFETs nur zum Abschaltzeitpunkt möglich, wenn die Ausschaltzeit der Transistoren deutlich schneller ist, als der Umladevorgang der zugehörigen Ausgangskapazität. In Abb. 3.4 ist dies durch die schrägen Flanken in $V_{DS,pri,LS}$ bei den Zeitpunkten t_1 und t_4 angedeutet. Der Einschaltvorgang erfolgt stets als hartes Schalten, da vor dem Schaltvorgang die halbe LVDC Spannung und somit 190 V anliegt und auf den transformierten Drosselstrom $I_{LC}/7$ eingeschaltet wird. Die Energie, welche in den parasitären Kapazitäten des Transformators und den Ausgangskapazitäten der MOSFETs gespeichert ist, geht dabei verloren und führt zu Verlusten.

3.2.2. Energiefluss von LVDC zu SELV mit hartgeschalteter Sekundärseite

In der Praxis zeigt sich, dass es möglich ist, die Transistoren des Wandlers so anzusteuern, dass der harte Schaltvorgang von der Primärseite auf die Sekundärseite verschoben wird. In einem weiten Betriebsbereich führte dies zu einer deutlichen Effizienzsteigerung. Abb. 3.7 skizziert die dabei entstehenden Strom- und Spannungsverläufe.

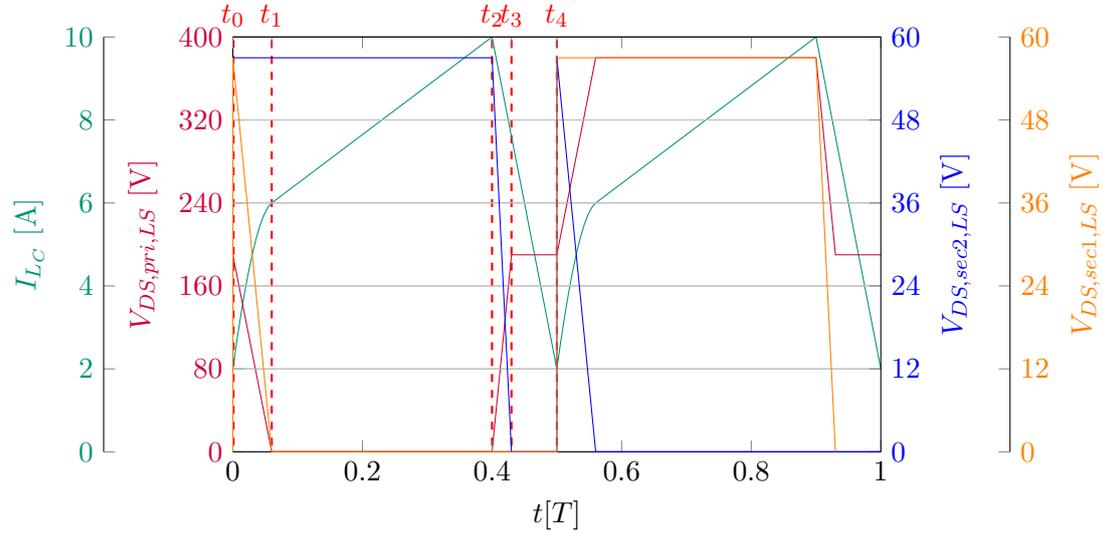


Abb. 3.7: LVDC → SELV: Schaltperiode im CCM mit weich schaltenden SiC MOSFETs

Im Zeitpunkt t_0 wird in Abb. 3.4 der Transistor $T_{pri,LS}$ hart eingeschaltet. Statt dessen bleibt $T_{pri,LS}$ in Abb. 3.7 zu dieser Zeit noch deaktiviert und es wird $T_{sec2,HS}$ eingeschaltet. Vor dem Zeitpunkt t_0 sind beide Transistoren $T_{sec1,LS}$ und $T_{sec2,LS}$ nicht aktiv eingeschaltet und es leiten nur deren Body-Dioden. Aus diesem Grund kann die Spannung $V_{DS,sec1,LS}$ beim Einschalten von $T_{sec2,HS}$ zusammen mit $V_{DS,sec2,LS}$ ansteigen. Da die Spannungen über den Transformatorwicklungen zunächst weiterhin Null bleiben, springt $V_{DS,sec1,LS}$, im vereinfacht dargestellten Fall, auf die Klemmspannung von 54,2V. Für die Spannung über der Drossel L_C gilt:

$$V_{L_C} = 54,2 \text{ V} - 24 \text{ V} = 30,3 \text{ V} \quad (3.2)$$

Aufgrund dieser hohen Spannung V_{L_C} steigt der Drosselstrom I_{L_C} ab t_0 mit hoher Steilheit an. I_{L_C} wird über die beiden Sekundärwicklungen aufgeteilt und führt aufgrund der positiven Stromrichtung dazu, dass die Kapazität über der Drain-Source-Strecke von

$T_{sec1,LS}$ entladen wird. Gleichzeitig wird die Kapazität über der Primärwicklung des Transformators aufgeladen.

Zu t_1 erreichen $V_{DS,sec1,LS}$ und $V_{DS,pri,LS}$ den Wert 0 V und beide Transistoren können weich eingeschaltet werden.

Die Vorgänge an t_2 und t_3 entsprechen der Beschreibung zu Abb. 3.4. Die zweite Hälfte der Schaltperiode ab t_4 ist analog zur ersten Hälfte erklärbar und wird deshalb nicht explizit aufgeführt.

Aufgrund der begrenzten Funktionalität der Einheiten zur Generierung der Taktsignale im Mikrocontroller treten bei dieser Betriebsart lange Zeitabschnitte auf, in denen die Body-Dioden der MOSFETs (bzw. die parallel geschalteten Dioden) den Strom tragen. Dennoch ist die Effizienz in fast allen Betriebspunkten höher als beim zuvor vorgestellten Betrieb mit primärseitig hartschaltenden MOSFETs. Eine mögliche Erklärung für den Effizienzgewinn ist die deutliche Verkleinerung der Summe aller Schaltverluste. In der Betriebsart mit hartschaltenden Si-MOSFETs, müssen nur die Kapazitäten der sekundärseitigen Halbbrücken durch harte Schaltvorgänge umgeladen werden. Beim Hartschalten der SiC-MOSFETs, wie in Kapitel 3.2.1, werden zusätzlich alle Transformatorkapazitäten und die Kapazität über der Drain-Source-Strecke von $T_{pri,LS}$ verlustbehaftet umgeladen.

3.2.3. Energiefluss von SELV zu LVDC

Ein Betriebspunkt für den Transport von Energie aus dem SELV-Netz ins LVDC-Netz ist in Abb. 3.8 visualisiert.

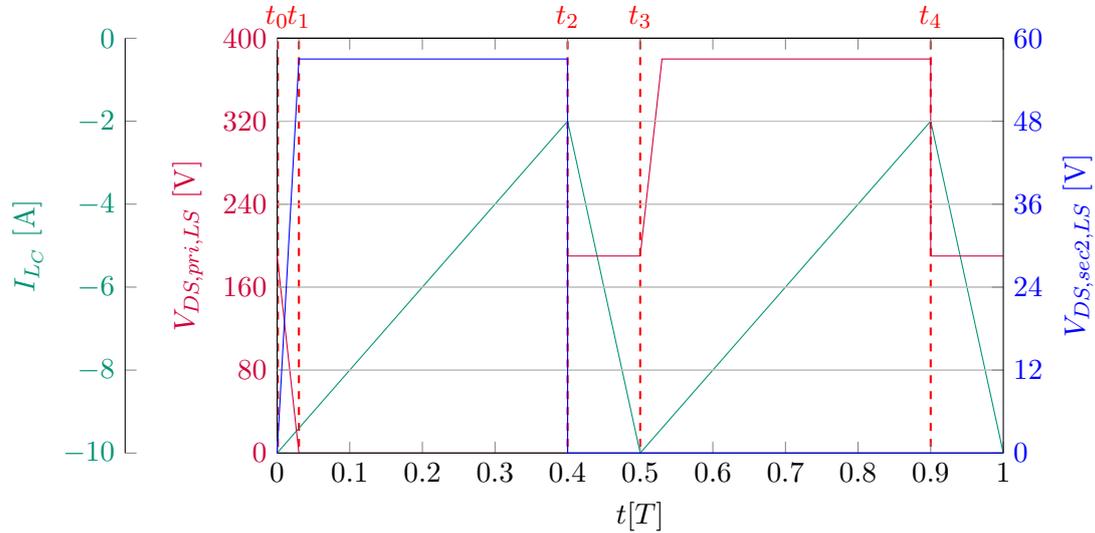


Abb. 3.8: SELV \rightarrow LVDC: Schaltperiode im CCM

Die Verläufe in Abb. 3.8 können aus Abb. 3.4 erhalten werden, indem der Strom in negativer y-Achsenrichtung verschoben wird. Aufgrund der geänderten Stromflussrichtung erfolgt jetzt kein weiches Einschalten von $T_{sec2,LS}$ mehr zum Zeitpunkt t_2 , dafür ist allerdings ein weicher Ausschaltvorgang bei t_0 möglich.

Das Schalten der High-Side-MOSFETs auf der Sekundärseite erfolgt komplementär zu den Low-Side-MOSFETs mit geringer Totzeit. Die Totzeit verhindert einerseits Kurzschlusspfade über der Klemmkapazität und andererseits steht so Zeit zur Verfügung, um beim Abschalten der Low-Side-MOSFETs deren Drain-Source-Kapazität weich umzuladen. Der harte Einschaltvorgang führt zu Verlusten durch das Umladen aller drei MOSFET-Halbbrücken und der Wicklungskapazitäten des Transformators.

4. Überblick

Die nachfolgende Abb. 4.1 soll eine kurze Übersicht zur Versorgungsstruktur der verschiedenen Komponenten des Wandlers geben.

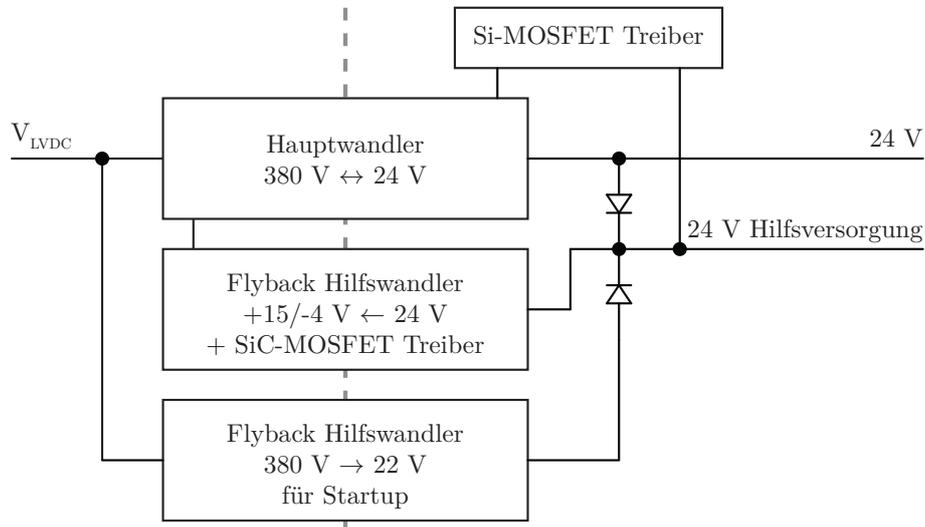


Abb. 4.1: Verschaltung der Leistungselektronischen Komponenten

Das Steuerboard wird aus dem Netz mit der Bezeichnung 24 V Hilfsversorgung mit Energie gespeist und ist daher galvanisch an das sekundärseitige Massepotential angebunden. Vorteilhaft ist, dass dadurch zwischen Mikrocontroller und den Gate-Signalen der vier Si-MOSFETs keine Isolation benötigt wird. Allerdings ist zu erwarten, dass die Sekundärspannung nach Anschluss des Wandlers an das 380 V Netz nicht zur Verfügung steht, wenn auf der 24 V Seite keine einspeisenden Module vorhanden sind. Aus diesem Grund ist ein Flyback Hilfswandler kleiner Leistung verbaut, der eine Ausgangsspannung von 22 V liefert. Sobald der Hauptwandler taktet und die Sekundärspannung aufgebaut ist, wird der Strom für die Hilfsversorgung über die abgebildete Diodenschaltung aus dem Hauptwandler entnommen. Der Flyback Hilfswandler schaltet sich dabei automatisch in einen Standby-Betrieb mit sehr geringer Leistungsaufnahme.

Die SiC-MOSFETs auf der Primärseite benötigen von der Sekundärseite galvanisch getrennte Treiberschaltungen. Auch hierfür wird ein kleiner Flyback Converter entworfen, der jedoch nicht mit 380 V versorgt wird, sondern über die 24 V Hilfsversorgung der Sekundärseite. Die niedrigere Versorgungsspannung bietet die Vorteile eines geringeren Schaltungsaufwands, ein einfaches Transformatordesign und hohe Effizienz trotz der niedrigen Ausgangsleistung.

5. Grundlagen zur Kernausslegung

5.1. Magnetische Flussdichte im Kern

Nach dem Oersted'schen Gesetz liefert das Wegintegral der magnetischen Feldstärke H entlang eines geschlossenen Weges der Kontur C immer den Gesamtstrom, der von C umschlossen wird [Alb11]:

$$\oint_C \vec{H} \bullet d\vec{s} = I_{gesamt} \quad (5.1)$$

Die Länge der Kontur C wird von den Herstellern von Transformatorkernen üblicherweise als die effektive Länge l_e für jeden Kern im Datenblatt angegeben. Unter der Annahme, dass die Flussdichte im Kern näherungsweise homogen verteilt ist, zerfällt das Integral in eine einfache Multiplikation.

Der Gesamtstrom I_{gesamt} ergibt sich durch Multiplikation der Windungszahl N_W mit dem Spulenstrom I .

$$H \cdot l_e = N_W \cdot I \quad (5.2)$$

Zuletzt wird der Zusammenhang

$$H = \frac{B}{\mu} \quad (5.3)$$

mit der magnetischen Flussdicht B und der magnetischen Permeabilität μ , in Gl. 5.2 eingesetzt und nach B aufgelöst.

$$B = \frac{\mu \cdot N_W \cdot I}{l_e} = \frac{\mu_0 \cdot \mu_r \cdot N_W \cdot I}{l_e} \quad (5.4)$$

Mit der magnetischen Feldkonstanten μ_0 von $4\pi \cdot 10^{-7} \text{ V s A}^{-1} \text{ m}^{-1}$ [Alb11] und der relativen Permeabilität μ_r .

5.2. A_L -Wert

Um die Induktivität einer Wicklung, mit geringem Aufwand und ausreichender Genauigkeit, berechnen zu können, wird von den Herstellern der Kerne typischerweise der A_L -Wert zu jedem Kern angegeben. In dieser Konstanten sind alle Abmessungen und Materialeigenschaften des jeweiligen Kerns zusammengefasst. Mit der nachfolgenden Beziehung kann die Induktivität L einer Wicklung mit der Windungszahl N_W berechnet werden [Alb11].

$$L = N_W^2 \cdot A_L \quad (5.5)$$

5.3. Ohmscher Widerstand einer Leiterbahn

Der ohmsche Widerstand einer Kupferleiterbahn wird mit der folgenden Formel berechnet:

$$R_{Cu} = \frac{\rho_{Cu} \cdot l}{h \cdot b} \quad (5.6)$$

Mit:

- l : Länge der Leiterbahn
- h : Kupferschichtdicke
- b : Breite der Leiterbahn
- ρ_{Cu} : Spezifischer Widerstand von Kupfer, $1,78 \cdot 10^{-2} \Omega\text{mm}^2/\text{m}$ [Alb11]

6. Auslegung des Hauptwandlers

6.1. Transformator

6.1.1. Übersetzungsverhältnis

Das Übersetzungsverhältnis wird durch den Buck-Betrieb vorgegeben, da der Wandler in diesem Betriebsmodus auch mit der kleinsten spezifizierten Eingangsspannung noch die Nennausgangsspannung erzeugen muss. Im Boost-Betrieb kann aufgrund der aktiven Klemmschaltung prinzipiell ein beliebiges Übersetzungsverhältnis gewählt werden, optimal wäre, das Verhältnis für $V_{LVDC,N}$ zu berechnen, um die Belastung der Drossel L_C im Nennbetrieb zu minimieren.

Für den Buck-Betrieb gilt unter Vernachlässigung parasitärer Elemente, wie der Einschaltwiderstände der MOSFETs oder der Streuinduktivität des Transformators, für das maximale Übersetzungsverhältnis:

$$n_{max} = \frac{N_p}{N_s} = \frac{V_{Tr,min}}{V_{SELV,N}} = \frac{V_{LVDC,min}}{2V_{SELV,N}} = \frac{360 \text{ V}}{2 \cdot 24 \text{ V}} = 7,5 \quad (6.1)$$

Mit N_p als Windungszahl auf der Primärseite und N_s als Windungszahl auf einer der zwei Sekundärwicklungen.

Um die Spezifikation auch im realen Betrieb mit parasitären Bauelementen im Schaltkreis erfüllen zu können, wird n gleich sieben gewählt.

6.1.2. Tastgrad

Der Tastgrad des Wandlers, unter Vernachlässigung aller parasitären Bauteileigenschaften, wird nach [Sch15] wie folgt berechnet:

$$D = \frac{1}{2} \cdot \frac{V_{SELV} \cdot 2 \cdot n}{V_{LVDC}} \quad (6.2)$$

Im Nennbetriebspunkt gilt:

$$D = \frac{1}{2} \cdot \frac{24 \text{ V} \cdot 2 \cdot 7}{380 \text{ V}} \approx 0,442 \quad (6.3)$$

6.1.3. Aussteuerung des Kernmaterials

Nach dem Induktionsgesetz gilt für die Spannung an den Anschlüssen des Transformators:

$$V_{Tr} = \dot{B} \cdot A \quad (6.4)$$

Mit \dot{B} als Änderung der Flussdichte innerhalb der Wicklungen und A der Fläche der betrachteten Wicklung. Die Fläche A ergibt sich hierbei aus der Multiplikation des effektiven Kernquerschnitts A_e und der Windungszahl N_W .

$$A = A_e \cdot N_W \quad (6.5)$$

Es soll nun zunächst die Aussteuerung des Kerns im Buck-Betrieb untersucht werden. Hier gilt, dass sich die Flussdichte während der Einschaltzeit $D \cdot T$ des Transistors $T_{pri,HS}$ von B_{min} auf B_{max} erhöht und in der Leitphase von $T_{pri,LS}$ wieder von B_{max} auf B_{min} verringert. Da die Aussteuerung symmetrisch erfolgt, sind B_{max} und B_{min} betragsmäßig gleich groß. Näherungsweise kann eine lineare Änderung der Flussdichte angenommen werden, so dass gilt:

$$\dot{B} = \frac{\Delta B}{\Delta t} = \frac{B_{max} - B_{min}}{D \cdot T} = \frac{2 \cdot B_{max}}{D \cdot T} \quad (6.6)$$

Einsetzen von Gl. 6.5 und 6.6 in 6.4:

$$V_{Tr} = \frac{2 \cdot B_{max} \cdot A_e \cdot N_W}{D \cdot T} \quad (6.7)$$

Umgestellt nach B_{max} :

$$B_{max} = \frac{V_{Tr} \cdot D \cdot T}{2 \cdot A_e \cdot N_W} \quad (6.8)$$

Die Kernverluste können mit den Daten der Hersteller aus B_{max} und der Schaltfrequenz f_S abgeschätzt werden. Um die Kernverluste klein zu halten, muss B_{max} minimiert werden. In Gl. 6.8 sind V_{Tr} , D und T durch die vorgegebenen Spannungswerte, der Schaltfrequenz und dem gewählten Übersetzungsverhältnis mit resultierendem Tastgrad (vgl.

Gl. 6.2) vorgegeben. B_{max} kann deshalb nur durch die Wahl eines größeren Kerns mit höherem A_e oder der Vergrößerung der Windungszahl verkleinert werden. Die Nutzung von Kernen mit großem A_e ist im Allgemeinen durch Kosten- und Bauraumvorgaben begrenzt. Bei der Erhöhung der Windungszahl vergrößern sich gleichzeitig die ohmschen Verluste im Kupfer, bei gegebener Kerngeometrie, wie im Folgenden gezeigt. Es soll daher eine optimale Windungszahl N_W bestimmt werden, bei der die Gesamtverluste als Summe aus Kernverlusten und Kupferverlusten minimal wird. Nach [PBM09] wird empfohlen, das Kern- und Kupferverluste möglichst gleich groß sein sollten, um die Gesamtverluste in erster Näherung zu minimieren. Das exakte Minimum wird allgemein nach [EM01] berechnet. Da die Wicklungszahlen in der Praxis nicht beliebig gewählt werden können, ist es sinnvoll sich dem Minimum iterativ durch Vergrößern der Wicklungszahlen zu nähern.

Grundsätzlich muss B_{max} unterhalb des Wertes liegen, bei dem das Kernmaterial in Sättigung gerät, andernfalls steigt der in den Transformator fließende Strom rapide an und zerstört dadurch unter Umständen die Leistungstransistoren oder verursacht zumindest eine hohe Verlustleistung. In der Praxis wird jedoch üblicherweise einen Wert für B_{max} gewählt, der deutlich unterhalb der Sättigungsgrenze liegt, um die Kernverluste klein zu halten, zumindest, wenn mit Schaltfrequenzen über 50 kHz gearbeitet wird [PBM09].

6.1.4. Kupferverluste

Unter der Annahme, dass die Drossel L_C ausreichend groß ist, können Primär- und Sekundärstrom als rechteckförmig angenommen werden. Für den Effektivwert des Stroms durch die jeweilige Wicklung der Sekundärseite gilt dann nach [Sch15]:

$$I_{sec,rms} = I_{SELV} \cdot \sqrt{D} \quad (6.9)$$

Mit I_{SELV} als dem Strom, der durch den 24 V Leistungsanschluss des Wandlers fließt.

$$I_{rms,sec,max} = 25 \text{ A} \cdot \sqrt{0,442} \approx 16,62 \text{ A} \quad (6.10)$$

Der Maximalstrom auf der Primärseite wird nach [Sch15] näherungsweise berechnet:

$$I_{rms,pri,max} = \frac{I_{rms,sec,max}}{n} \cdot \sqrt{2} \approx 3,36 \text{ A} \quad (6.11)$$

Mit diesen Werten können über die Widerstände der Leiterbahnen im Transformator die Kupferverluste errechnet werden.

Für hohe Frequenzen müssen zusätzlich Skin- und Proximityverluste berücksichtigt werden. Die Skintiefe δ ergibt sich nach [Vos13] bei der Schaltfrequenz f_S zu:

$$\delta = \sqrt{\frac{\rho_{Cu}}{\pi \cdot f_S \cdot \mu_{Cu}}} = \sqrt{\frac{0,01786 \Omega \text{mm}^2/\text{m}}{\pi \cdot 100 \text{ kHz} \cdot 4\pi \cdot 1 \cdot 10^{-7} \text{ V s A}^{-1} \text{ m}^{-1}}} = 212 \mu\text{m} \quad (6.12)$$

Da die Skintiefe deutlich größer als die halbe Leiterbahndicke ist, hat der Skineneffekt einen vernachlässigbaren Einfluss auf den ohmschen Widerstand. Bei exakter Betrachtung müsste er allerdings genauer untersucht werden, da δ in Gl. 6.12 nur für die Grundfrequenz des Stroms berechnet wird, dieser aber aufgrund seines trapezförmigen Verlaufs auch Oberwellen besitzt, für welche die Skintiefe deutlich kleiner ist.

Die Berechnung der Auswirkung des Proximityeffekts ist im Allgemeinen sehr aufwendig, so dass dieser in der vorliegenden Arbeit in der Verlustleistungsberechnung nicht beachtet wird.

6.1.5. Auswahl des Kerns

Die Wahl des Kerns ist im Allgemeinen hauptsächlich von der gewünschten Verlustleistung des Transformators und den bauraumbedingt maximal realisierbaren Windungszahlen begrenzt. Die Kerngröße ist nach unten durch die thermische Leistung beschränkt, die der kleinste Kern noch an die Umgebung abgeben kann, ohne, dass die maximale Temperatur der im Transformator eingesetzten Komponenten überschritten wird. In dieser Arbeit ist das Ziel jedoch weniger eine möglichst kompakte Realisierung zu finden, sondern eine hohe Wandler-Effizienz zu ermöglichen, so dass ein deutlich größerer Kern eingesetzt wird.

Von vielen Herstellern stehen Daten zur Verfügung, bis zu welcher Leistungsübertragung bestimmte Kerne noch eingesetzt werden können, ohne zu überhitzen. Damit kann eine erste Auswahl für die vorgesehene Anwendung getroffen werden und für das konkrete Kernmodell die im Betrieb auftretende Verlustleistung berechnet werden. Ist der berechnete Wert zu groß, so wird der nächstgrößere Kern gewählt und die Berechnungen erneut durchgeführt. Iterativ kann so der für die Anwendung passende Kern ermittelt werden.

In dieser Arbeit ist der Kern bereits vorgegeben, um den Wandler mit seiner unidirektionalen Variante vergleichen zu können. Im Folgenden werden daher für den Kern

ER51/10/38-3C95 von Ferroxcube die Windungszahlen und die zu erwartende Verlustleistung berechnet. Das Kernmaterial mit der Bezeichnung 3C95 soll weiterhin verwendet werden, da es, im Vergleich zu den möglichen Alternativen nach [Fer10], die geringsten Kernverluste, bei den abzusehenden Transformatortemperaturen im Betrieb verursacht.

6.1.6. Realisierung des Transformators

Als Leiterplatte wird ein Aufbau mit sechs Kupferlagen mit jeweils $105\ \mu\text{m}$ gewählt. Um die Isolieranforderungen zwischen Primär- und Sekundärwicklung erfüllen zu können, sind als Isoliermaterial zwischen zwei Kupferlagen drei Prepregs mit je $60\ \mu\text{m}$ Dicke vorgesehen. FR4 besitzt nach [Aet16] eine Spannungsfestigkeit von $30\ \text{kV mm}^{-1}$, so dass die Isolierung theoretisch bis

$$0,18\ \text{mm} \cdot 30\ \text{kV mm}^{-1} = 5,4\ \text{kV} \quad (6.13)$$

aufrechterhalten werden kann und damit auch die transiente Überspannung von $4\ \text{kV}$ aus Kapitel 2.2 übersteht.

Für die Dicke des Lötstopplacks werden $50\ \mu\text{m}$ angenommen.

Die Leiterplatte hat folglich eine Gesamtdicke von

$$6 \cdot 105\ \mu\text{m} + 5 \cdot 180\ \mu\text{m} + 2 \cdot 50\ \mu\text{m} = 1,63\ \text{mm} \quad (6.14)$$

Im Kern ist eine Wickelhöhe von $9,6\ \text{mm}$ möglich, wodurch fünf der Leiterplatten untergebracht werden können. Übrig bleibt eine Füllhöhe von

$$9,6\ \text{mm} - 5 \cdot 1,63\ \text{mm} = 1,45\ \text{mm} \quad (6.15)$$

die für zusätzliches Isoliermaterial zwischen den Leiterplatten und zwischen Leiterplatten und Kern genutzt wird.

Der Zusammenbau von Leiterplatten und Transformator-kernen ist in Abb. 6.1a gezeichnet. Abb. 6.1b zeigt die Abfolge der Lagen innerhalb einer Leiterplatte, hier gilt folgendes Farbschema:

- hellgrün: Lötstopplack

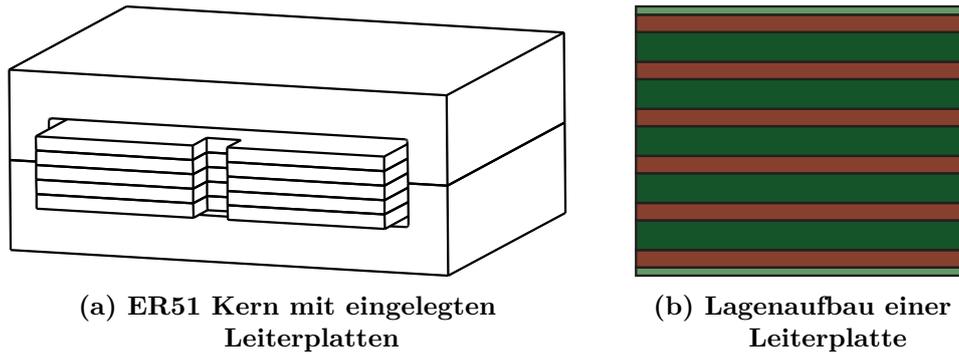


Abb. 6.1: Planartransformator

- braun: Kupfer
- dunkelgrün: FR4 Prepregs

6.1.7. Bestimmung der Windungszahlen

Um die optimale Windungszahl für die geringste Summe aus Kern- und Kupferverlusten zu finden, müssen zunächst einige Rahmenbedingungen bzgl. des Platinenlayouts definiert werden.

Für eine gute Verschachtelung von Primär- und Sekundärwicklungen zur Verringerung der Streuinduktivität, wird für jede Leiterplatte die Lagenfolge Sek. 1 - Sek. 1 - Pri. - Pri. - Sek. 2 - Sek. 2 gewählt. Fünf dieser Leiterplatten werden anschließend gestapelt und durch Kupferstreifen, welche an metallisierte Seitenkanten der Leiterplatten gelötet werden, elektrisch parallel miteinander verbunden.

Unter Berücksichtigung der definierten Isolierabstände zum Kernmaterial ergibt sich eine maximale Windungsbreite von 8,9 mm pro Kupferlage. Werden mehr als eine Windung auf einer Lage aufgebracht, so muss zusätzlich ein Abstand von 0,3 mm zwischen den Windungen eingeplant werden.

Bei einer einzigen Windung auf jeder Sekundärwicklung ergibt dies den folgenden Gesamtquerschnitt des Kupfers:

$$A_{q,sek,1w} = 0,105 \text{ mm} \cdot 8,9 \text{ mm} \cdot 2 \cdot 5 = 9,345 \text{ mm} \quad (6.16)$$

Der Faktor 2 in Gl. 6.16 ist vorhanden, da zwei Kupferlagen parallel geschaltet sind, der Faktor 5 beschreibt die Parallelschaltung der fünf Einzelplatinen.

Für zwei Windungen können die beiden Lagen einer Leiterplatte in Serie anstatt parallel geschaltet werden, in der Folge halbiert sich der Querschnitt. Bei drei Windungen wird der Sachverhalt komplizierter, da diese auf zwei Lagen möglichst gleichmäßig aufgeteilt werden sollen. Zur Vereinfachung der Rechnung werden die zusätzlichen Isolierabstände ignoriert und der Wert aus Gl. 6.16 lediglich gedrittelt. In der Praxis fällt der Wert für den letzten Fall ungünstiger aus.

Analog erfolgt die Betrachtung für die Primärseite, hier sind im Fall einer Windung auf der Sekundärseite sieben Primärwindungen notwendig um das gewählte Übersetzungsverhältnis zu realisieren. Für eine gleichmäßige Aufteilung auf zwei Kupferlagen wird eine Anordnung mit sieben Windungen auf jeder Lage in Parallelschaltung angenommen:

$$A_{q,pri,7w} = 0,105 \text{ mm} \cdot (8,9 \text{ mm} - 6 \cdot 0,3 \text{ mm}) / 7 \cdot 2 \cdot 5 = 1,065 \text{ mm} \quad (6.17)$$

Auch hier wird der Wert von $A_{q,pri,7w}$ für die Fälle mit zwei bzw. drei Windungen auf der Sekundärseite entsprechend herunter geteilt.

Mittels Gl. 5.6, der mittleren Windungslänge l_W von 97 mm und der Windungszahl N_W können aus den Kupferquerschnitten A_q die zugehörigen Widerstände $R_{DC,w}$ der Wicklungen bestimmt werden:

$$R_{DC,w} = \frac{\rho_{Cu} \cdot l_W \cdot N_W}{A_q} \quad (6.18)$$

Mit den RMS-Strömen aus 6.1.4 lassen sich nun die Verluste aufgrund des ohmschen Widerstands der Leiterbahnen ermitteln.

Für die Kernverluste wird zunächst die maximale Flussdichte im Kern nach dem Vorgehen aus 6.1.3 erfasst und anschließend werden über das Tool SFDT von Ferroxcube [Fer10] die zu erwartenden Verluste bestimmt.

Tabelle 6.1 fasst die Ergebnisse für die ersten drei Varianten mit unterschiedlich großen Windungszahlen zusammen.

Tab. 6.1: Transformatoreigenschaften bei unterschiedlichen Windungszahlen

N_s	$A_{q,pri}$	$A_{q,sec}$	$R_{DC,pri}$	$R_{DC,sec}$	$P_{V,Cu}$	B_{max}	$P_{V,Kern}$	$P_{V,ges}$
1	1,065 mm ²	9,345 mm ²	11,4 mΩ	0,185 mΩ	0,23 W	193 mT	6,71 W	6,94 W
2	0,533 mm ²	4,673 mm ²	45,5 mΩ	0,742 mΩ	0,92 W	96,7 mT	1,29 W	2,21 W
3	0,355 mm ²	3,115 mm ²	102 mΩ	1,67 mΩ	2,08 W	64,4 mT	0,46 W	2,54 W

Die niedrigsten Gesamtverluste können mit der Variante mit zwei Windungen auf der Sekundärseite bzw. 14 Windungen primär erzielt werden. Bei drei Sekundärwindungen dominieren die Kupferverluste gegenüber den Kernverlusten, gleichzeitig lässt sich diese Option nur umständlich in ein Layout umsetzen.

6.2. Auswahl der Leistungshalbleiter

Der Auswahlprozess für die Transistoren auf Primär- und Sekundärseite des Wandlers ist in den folgenden beiden Abschnitten dargestellt. Als primäres Kriterium für geeignete Leistungsschalter werden die Verlustleistungen aufgrund der Durchlasswiderstände $R_{DS(on)}$, der Ansteuerung und der Umladung der Ausgangskapazität für verschiedene Transistortypen gegenübergestellt. Schaltverluste, die aufgrund der benötigten Zeit zwischen dem nieder- und hochohmigen Schaltzustand entstehen, werden nicht berücksichtigt, da sie im Voraus nur schwer mit ausreichender Genauigkeit bestimmt werden können. Ebenso wird der Wert für die Verlustleistung aufgrund des Reverse Recovery Effekts der Body-Dioden der MOSFETs nicht quantitativ erfasst.

6.2.1. Primärseite

Um geeignete Leistungsschalter für die Halbbrücke auf der Primärseite zu finden, werden MOSFETs verschiedener Hersteller in Si-, SiC- und GaN-Technologie miteinander verglichen. Die Favoriten sind in Tabelle 6.2 mit einigen relevanten Daten aufgelistet. Als schaltungsbedingte Anforderung wird eine Drain-Source-Spannung $V_{DS,max}$ von mindestens 600 V gefordert, um noch genügend Reserven gegen Überspannungen auf dem LVDC-Netz bereit zu stellen. Als Referenz ist der Si-MOSFET STD11NM60ND aus [Sch15] in der Tabelle enthalten, er ist insbesondere aufgrund seines geringen Wertes Q_{rr} ausgewählt, so dass niedrige Reverse Recovery Verluste in den Body-Dioden verursacht werden.

Tabelle 6.3 zeigt die zu erwartenden Verluste aufgrund des Durchlasswiderstands $P_{V,Rds(on)}$, der Umladung der Ausgangskapazität $P_{V,COSS}$ und der Ansteuerleistung $P_{V,Qg}$.

Für die Verlustleistung $P_{V,Rds(on)}$ wird eine RMS-Strom durch die Schalter zu Grunde gelegt, der nach einer Formel aus [Sch15] berechnet wird:

$$I_{LVDC,rms} = I_{LVDC} \cdot \sqrt{D} = \frac{I_{SELV}}{n} \cdot \sqrt{D} = \frac{25 \text{ A}}{7} \cdot \sqrt{0,442} \approx 2,374 \text{ A} \quad (6.19)$$

Im hartschaltenden Betrieb werden alle drei Verlustarten zu $P_{V,hard}$ addiert. Können die Schalter jedoch weich ein-/ausgeschaltet werden, so geht die Umschaltverlustleistung

Tab. 6.2: Eigenschaften der Hochvoltschalter

Typ	Technologie	$V_{DS,max}$	$R_{DS(on)}^1$	Q_G	$E_{OSS,380V}$	Q_{rr}
GS66506T	GaN	650 V	73 m Ω	4,6 nC	5,2 μ J	-
GS66504B	GaN	650 V	110 m Ω	3 nC	3,4 μ J	-
GS66508T	GaN	650 V	55 m Ω	5,8 nC	6,9 μ J	-
IPD60R180C7	Si	600 V	155 m Ω	24 nC	2,6 μ J	2600 nC
C3M0065090J	SiC	900 V	65 m Ω	30 nC	8 μ J	131 nC
STB24N60DM2	Si	650 V	175 m Ω	29 nC	4 μ J	956 nC
TK25V60X	Si	600 V	110 m Ω	40 nC	7,6 μ J	3300 nC
GS66516T	GaN	650 V	27 m Ω	12 nC	14 μ J	-
STD11NM60ND	Si	650 V	370 m Ω	30 nC	2,3 μ J	690 nC

¹ 25 °C, typisch

$P_{V,COSS}$ gegen 0. In dieser Arbeit wird zunächst davon ausgegangen, dass alle Transistoren hart geschaltet werden, deshalb sind beide Tabellen nach $P_{V,hard}$ aufsteigend sortiert.

Tab. 6.3: Verluste der Hochvoltschalter

Typ	$P_{V,Rds(on)}$	$P_{V,COSS}$	$P_{V,Qg}^1$	$P_{V,hard}$	$P_{V,soft}$
GS66506T	0,82 W	1,04 W	13,8 mW	1,88 W	0,84 W
GS66504B	1,24 W	0,68 W	9 mW	1,93 W	1,25 W
GS66508T	0,62 W	1,38 W	17,4 mW	2,02 W	0,64 W
IPD60R180C7	1,74 W	0,52 W	72 mW	2,34 W	1,82 W
C3M0065090J	0,73 W	1,6 W	90 mW	2,42 W	0,82 W
STB24N60DM2	1,97 W	0,8 W	87 mW	2,86 W	2,06 W
TK25V60X	1,24 W	1,52 W	120 mW	2,88 W	1,36 W
GS66516T	0,30 W	2,8 W	36 mW	3,14 W	0,34 W
STD11NM60ND	4,17 W	0,46 W	90 mW	4,72 W	4,26 W

¹ $V_{GS,max} = 15$ V, $f_S = 100$ kHz

Die geringsten Verlustleistungen können theoretisch mit GaN-MOSFETs realisiert werden, allerdings wird von Mitarbeitern des Fraunhofer Instituts von deren derzeitigen Verwendung abgeraten, da diese Transistoren noch nicht sehr robust gegen Überspannungen sind, sowie der Effekt des dynamischen- $R_{DS(on)}$ die Eigenschaften im realen Betrieb deutlich verschlechtert.

Von guten Erfahrungen wird hingegen mit dem SiC-MOSFET C3M0065090J berichtet. Der Si-MOSFET IPD60R180C7 ist im hartschaltenden Betrieb zwar besser, allerdings ist dessen Q_{rr} -Wert um den Faktor 20 größer, so dass mit hohen Reverse Recovery Verlusten zu rechnen ist. Bei einer Ansteuerung für weiches Schalten ist der SiC-MOSFET seiner Si-Alternative stark überlegen.

Aus diesen Gründen wird der Transistor des Typs C3M0065090J für den Aufbau des Wandlers ausgewählt.

6.2.2. Sekundärseite

Für die Sekundärseite werden nur Si-MOSFETs mit einer maximalen V_{DS} -Spannung von 80 V berücksichtigt. SiC-Transistoren sind für solch niedrige Spannungen aktuell nicht verfügbar und auf GaN soll aufgrund der genannten Probleme momentan verzichtet werden. Tabelle 6.4 zeigt einige Daten der Schalter, welche für die finale Auswahl miteinander verglichen werden.

Der Transistor IPB017N08N5 ist aus der Arbeit von [Sch15] als Referenz übernommen.

Tab. 6.4: Eigenschaften Niederspannungs-Schalter

Typ	$R_{DS(on)}^1$	Q_G	C_{OSS}^2	Q_{rr}
IPT012N08N5	1,0 m Ω	178 nC	2000 pF	318 nC
FDBL0150N80	1,1 m Ω	172 nC	1925 pF	117 nC
IPB015N08N5	1,1 m Ω	178 nC	2000 pF	246 nC
FDMT80080DC	1,06 m Ω	195 nC	2080 pF	88 nC
BSC026N08NS5	2,2 m Ω	74 nC	840 pF	92 nC
FDMS86350	2 m Ω	110 nC	1370 pF	62 nC
BSC030N08NS5	2,6 m Ω	61 nC	700 pF	94 nC
IPB017N08N5	1,5 m Ω	178 nC	2000 pF	308 nC

¹ 25 °C, typisch

² $V_{DS} = 40$ V

In den Datenblättern der MOSFETs sind keine Kennlinien für die Energie in der nicht-linearen Drain-Source-Kapazität angegeben, so dass diese hier über die Kapazität C_{OSS} berechnet wird, um daraus die Verlustleistung im hartschaltenden Betrieb abschätzen zu können.

Für die Verluste aufgrund des Drain-Source-Widerstands wird der Strom aus Gl. 6.10 zu Grunde gelegt.

Tabelle 6.5 fasst die Verlustleistungen zusammen, die Sortierung ist aufsteigend nach der Gesamtverlustleistung im hartschaltenden Betriebsmodus.

Die Verlustleistungen der ersten vier Transistortypen weichen nur geringfügig voneinander ab, sowohl im hart- als auch im weichschaltenden Betrieb. Die Entscheidung wird deshalb aufgrund anderer Parameter zu Gunsten des FDMT80080DC gefällt. Er ist mit einem geringen Wert Q_{rr} spezifiziert und verursacht damit die geringsten Reverse Recovery Verluste, verglichen mit den drei, weiter oben in der Tabelle stehenden, MOSFETs.

Tab. 6.5: Verluste Niederspannungs-Schalter

Typ	$P_{V,Rds(on)}$	$P_{V,COSS}$	$P_{V,Qg}^1$	$P_{V,hard}$	$P_{V,soft}$
IPT012N08N5	0,55 W	0,59 W	0,36 W	1,50 W	0,91 W
FDBL0150N80	0,61 W	0,57 W	0,34 W	1,52 W	0,95 W
IPB015N08N5	0,61 W	0,59 W	0,36 W	1,55 W	0,96 W
FDMT80080DC	0,58 W	0,61 W	0,39 W	1,59 W	0,97 W
BSC026N08NS5	1,21 W	0,25 W	0,15 W	1,61 W	1,36 W
FDMS86350	1,10 W	0,40 W	0,22 W	1,73 W	1,32 W
BSC030N08NS5	1,43 W	0,21 W	0,12 W	1,76 W	1,55 W
IPB017N08N5	0,83 W	0,59 W	0,36 W	1,77 W	1,18 W

$$^1 V_{GS,max} = 10 \text{ V}, f_S = 100 \text{ kHz}$$

Zusätzlich besitzt er das kompakteste Gehäuse mit den Längen-Breiten-Höhen-Werten von 8,1 mm x 8,1 mm x 1 mm, was vorteilhaft ist, um ein Layout mit geringen parasitären Induktivitäten entwerfen zu können.

Auf der Sekundärseite werden parallel zu den Drain-Source-Anschlüssen der MOSFETs Dioden des Typs SBRT25U80SLP geschaltet. Diese so genannten Trench Super Barrier Rectifier bieten auch bei hohen Strömen sehr geringe Durchflussspannungen, so dass nur ein geringer Anteil des Stromes durch die Body-Dioden der MOSFETs fließt. Ziel dieser Maßnahme ist es die Reverse Recovery Verluste der Transistoren zu vermeiden.

6.3. Treiberschaltungen

6.3.1. SiC-MOSFETs

Für die Ansteuerung der SiC-MOSFETs ist eine galvanisch getrennte Schaltung notwendig, da der Mikrocontroller mit dem sekundärseitigen Massepotential verbunden ist, welches von der Primärseite isoliert sein muss. Das IC ADuM4135 stellt sich hierfür als ein geeigneter Baustein heraus, der die galvanische Isolation und die Treiberstufe in einem einzelnen Gehäuse integriert. Der innere Aufbau des ICs ist in Abb. 6.2 schematisch wiedergegeben.

Der auf der linken Seite abgebildete Teil ist mit dem Steuerboard verbunden und wird von dessen 3,3 V Netz versorgt. Über V_{I+} und V_{I-} werden die Taktsignale für die Gate-Source-Spannung übertragen, wobei allerdings keine differentielle Auswertung erfolgt. Durch Auswählen einer der beiden Anschlüsse, kann für die Steuersignale positive oder negative Logik genutzt werden. Der andere Pin wird fest auf High- oder Low-Pegel gelegt.

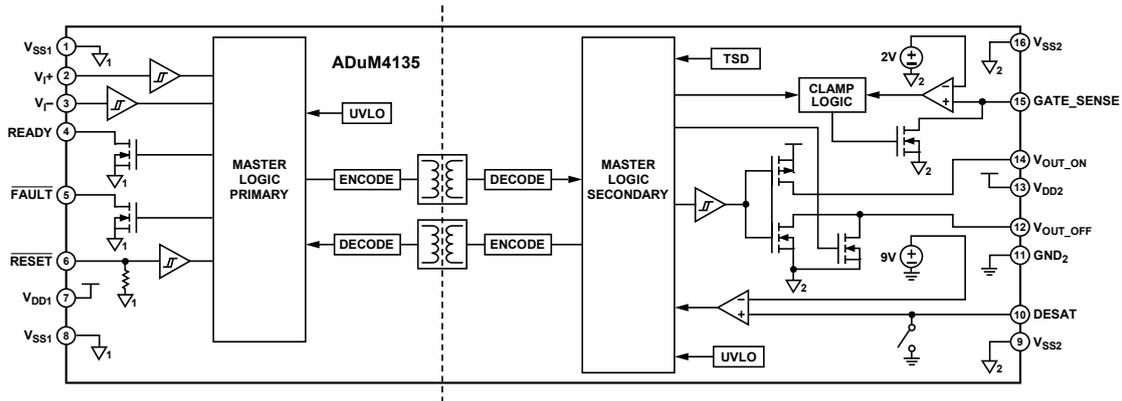


Abb. 6.2: Blockdiagramm des ADuM4135 [Ana15]

READY und FAULT liefern Informationen über den aktuellen Status des ICs und mittels RESET kann das IC rückgesetzt werden.

Die rechte Seite ist an einen der SiC-MOSFETs angeschlossen. V_{OUT_ON} und V_{OUT_OFF} sind jeweils über einen Widerstand mit dem Gate-Anschluss verbunden. Durch unterschiedliche Dimensionierung der Widerstände können die Anstiegs- und Abfallzeiten der Gate-Source-Spannung getrennt voneinander eingestellt werden. Zusätzlich hat GATE_SENSE eine direkte Verbindung mit dem Gate des SiC-MOSFETs. Sobald die Spannung zwischen Gate und V_{SS2} kleiner ist als 2 V wird die GATE_SENSE-Leitung mit einem Transistor auf das V_{SS2} -Potential geschaltet. Diese Funktion wird als Miller-Clamp bezeichnet und soll dafür sorgen, dass der MOSFET nicht unbeabsichtigt wieder eingeschaltet wird, wenn über die Source-Drain-Kapazität während des Abschaltens des Transistors und resultierenden Abfallens der Spannung V_{DS} ein Strom in die Gate-Source-Kapazität eingekoppelt wird.

Mittels des Pins DESAT kann eine Erkennungsschaltung realisiert werden, die detektiert, wenn der angeschlossene Leistungstransistor im eingeschalteten Zustand aus der Sättigung getrieben wird, beispielsweise durch einen Kurzschluss des geschalteten Transformatoranschlusses zu einer der Versorgungsleitungen. Da diese Funktion nicht genutzt wird, ist der Pin direkt mit GND2 verbunden.

6.3.2. Si-MOSFETs

Auf der Sekundärseite des Wandlers sind vier Si-MOSFETs zu zwei Halbbrücken verschaltet, mit denen die Anschlüsse des Transformators auf Masse oder die Klemmspannung geschaltet werden. Für die Ansteuerung fällt die Wahl auf das IC UCC27211, das als Treiber für eine Halbbrücke mit zwei N-Kanal-MOSFETs mit einer Bootstrap-Schaltung geeignet ist. Aufgrund einer Empfehlung eines Mitarbeiters des Fraunhofer

Instituts bzgl. der Höhe der Gate-Ströme, wird die Treiberschaltung um eine weitere Verstärkerstufe mit Bipolartransistoren ergänzt. Der Schaltplan für den Treiber einer Halbbrücke ist in Abb. 6.3 wiedergegeben.

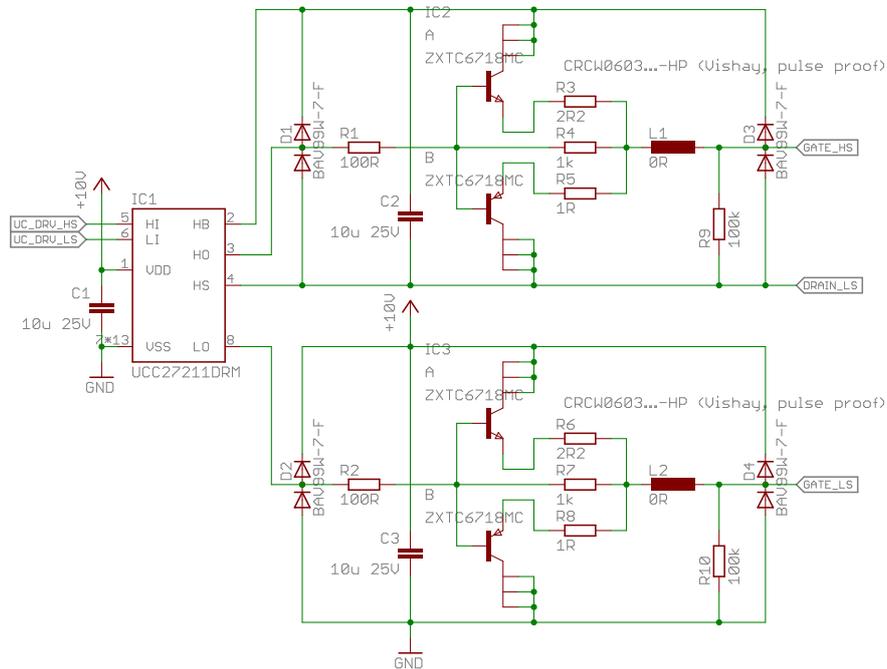


Abb. 6.3: Schaltplan Si-MOSFET Treiber

Über eine interne Diode in IC1 zwischen Pin 5 und 2 ist eine Bootstrap-Schaltung realisiert, mit welcher der notwendige Spannungspegel für den High-Side N-Kanal-MOSFET generiert wird. Mit den Widerständen R3, R5, R6 und R8 können die Ströme für die steigende und fallende Flanke im Gate-Signal getrennt eingestellt werden. Aufgrund der Bipolartransistoren in IC2 und IC3 sind die Spannungspegel V_{GS} stets um den Wert der Durchflussspannung der Basis-Emitter-Strecke größer/kleiner als die Pegel der jeweiligen Versorgungsspannung des Treibers. Daher sind R4 und R7 vorgesehen, über welche IC1 die Pegel vollständig aussteuern kann.

L1 und L2 bieten die Möglichkeit Schwingungen der Gateströme mittels Ferriten zu dämpfen. R9 und R10 sorgen dafür, dass die Gate-Source-Kapazitäten beim Einschalten des Wandlers sicher entladen sind.

Die gezeigte Schaltung ist auf kleinen Platinen aufgebaut, welche im 90°-Winkel auf die Leistungsplatine aufgelötet werden. Mit dieser Methode ist es möglich die Zuleitungslänge zwischen den einzelnen MOSFETs und der Treiberschaltung gering zu halten und gleichzeitig die Transistoren auf der Leistungsplatine vorteilhaft anzuordnen, um die parasitären Induktivität zwischen den Halbbrücken zu minimieren.

6.4. Drossel L_C

L_C wird als Planardrossel entworfen und ist bzgl. Kerngeometrie und Induktivität aus [Sch15] übernommen, da sie sich dort auch bei einer Schaltfrequenz von 100 kHz gut eignet. Das Layout ist an den 6-lagigen Leiterplattenaufbau angepasst und der Kupfer-Füllfaktor optimiert, so dass die Verlustleistung weiter gesenkt wird.

Der Luftspalt wird durch Einlegen von Kaptonfolie zwischen die beiden Kernhälften zu 0,6 mm realisiert. Nach [Sch15] ergibt dies einen A_L -Wert von 140 nH. Die Windungszahl wird zu N_w gleich vier festgelegt und damit nach Gl. 5.5 eine Induktivität von

$$L = N_w^2 \cdot A_L = 4^2 \cdot 140 \text{ nH} = 2,24 \text{ } \mu\text{H} \quad (6.20)$$

realisiert. Im Layout sind auf jeder Kupferlage zwei Windungen vorgesehen, jeweils drei Lagen über metallisierte Seitenkanten parallel geschaltet und zwei Pakete aus drei Lagen in Serie verbunden. Von diesen Leiterplatten sind im Kern drei Stück in Parallelschaltung untergebracht. Die Leiterbahnbreite innerhalb einer Lage beträgt b gleich 2,255 mm und die mittlere Windungslänge entspricht etwa l gleich 48,5 mm. Unter Berücksichtigung aller Parallelschaltungen kann mittels Gl. 5.6 der DC-Widerstand R_{DC,L_C} der Drossel gefunden werden:

$$R_{DC,L_C} = \frac{N_w \cdot \rho_{Cu} \cdot l}{h \cdot b} \cdot \frac{1}{9} = \frac{4 \cdot 1,78 \cdot 10^{-2} \text{ } \Omega\text{mm}^2/\text{m} \cdot 48,5 \text{ mm}}{0,105 \text{ mm} \cdot 2,255 \text{ mm}} \cdot \frac{1}{9} \approx 1,62 \text{ m}\Omega \quad (6.21)$$

Für die Abschätzung der Leitungsverluste wird noch der Stromrippel ΔI benötigt. Hierzu wird eine Schaltperiode im Buck-Modus betrachtet. Schaltet einer der Transistoren der primärseitigen Halbbrücke, so liegt über der Drossel die folgende Spannung an:

$$V_{L_C} = \frac{V_{LVDC}}{2 \cdot n} - V_{SELV} = \frac{380 \text{ V}}{2 \cdot 7} - 24 \text{ V} \approx 3,14 \text{ V} \quad (6.22)$$

Über den allgemein bekannten Strom-Spannungs-Zusammenhang an der Induktivität und dem Tastgrad aus Gl. 6.3, ergibt sich:

$$V_{L_C} = L_C \cdot \frac{dI}{dt} = L_C \cdot \frac{\Delta I}{T \cdot D} \quad (6.23)$$

$$\Delta I = \frac{V_{LC} \cdot T \cdot D}{L_C} = \frac{3,14 \text{ V} \cdot 10 \mu\text{s} \cdot 0,442}{2,24 \mu\text{H}} \approx 6,2 \text{ A} \quad (6.24)$$

Im Vergleich zum Ausgangsstrom $I_{SELV,N}$ von 25 A ist dieser Wert relativ gering, so dass der Rippel für die Verlustleistungsberechnung vernachlässigt wird.

$$P_{V,Cu,L_C} \approx R_{DC,L_C} \cdot I_{SELV,N}^2 = 1,62 \text{ m}\Omega \cdot 25 \text{ A}^2 \approx 1,01 \text{ W} \quad (6.25)$$

Im realen Betrieb sind die Kupferverluste höher, da bisher Skin- und Proximityeffekte vernachlässigt werden.

Die Kernverluste werden für einen ähnlich großen Stromrippel in [Sch15] zu 17 mW berechnet und sind daher gegenüber den Kupferverlusten kaum relevant.

6.5. Kondensatoren und Filter

Analog zu [Sch15] werden auf der Primärseite Folienkondensatoren und auf der Sekundärseite Keramikcondensatoren verbaut.

6.5.1. Primärseite

Auf der LVDC-Seite ist eine CLC-Filterstruktur realisiert, die aus einem 5 μF -Folienkondensator des Typs DCP4N045006G, einer Drossel und den beiden 10 μF -Kondensatoren der Halbbrücke, mit der Bezeichnung DCP4I051006G, besteht. Die Resonanzfrequenz f_R dieses Filters soll deutlich unterhalb der Schaltfrequenz liegen um bereits die Grundschwingung der Schaltvorgänge zu dämpfen. Allgemein wird empfohlen f_R kleiner oder gleich $\frac{f_S}{10}$ zu wählen, so dass die Schaltfrequenz das Filter nicht zur Resonanz anregt, wodurch eine negative Filterdämpfung, also Verstärkung der Störungen, wirken würde. Für f_R gilt:

$$f_R = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot C}} \leq \frac{f_S}{10} \quad (6.26)$$

Durch Umstellen wird der gewünschten Wert für die Drossel L erhalten:

$$L \geq \frac{1}{4 \cdot \pi^2 \cdot C \cdot (f_S/10)^2} = \frac{1}{4 \cdot \pi^2 \cdot 5 \mu\text{F} \cdot (100 \text{ kHz}/10)^2} \approx 50,7 \mu\text{H} \quad (6.27)$$

Es wird das Modell 7447709680 von Würth Elektronik mit einem Nenninduktivitätswert von $68 \mu\text{H}$ gewählt.

Bisher vernachlässigt sind SMD-Keramikkondensatoren, die zusätzlich parallel zu den Folienkondensatoren geschaltet sind und deren Wirkung auf die Filterung höherfrequenter Störungen untersucht werden soll. Ihre Typbezeichnung lautet CKG57NX7T2W225-M500JH und sie besitzen eine Nennkapazität von $2,2 \mu\text{F}$. Es wird jeweils ein Keramikkondensator parallel zu einem Halbbrückenkondensator geschaltet. Parallel zum $5 \mu\text{F}$ -Folienkondensator liegen zwei Serienschaltungen aus jeweils zwei der Keramikkondensatoren. Alle SMD-Kondensatoren werden folglich im Nennbetrieb mit 190 V belastet, so dass nach [TDK16b] der effektive Kapazitätswert noch $1,15 \mu\text{F}$ pro Kondensator beträgt.

6.5.2. Sekundärseite

Die Keramikkondensatoren sind vom Typ CKG57NX7S2A226M500JH und haben eine Nennkapazität von $22 \mu\text{F}$ mit einer Spannungsfestigkeit von 100 V . Zu beachten ist allerdings die allgemein starke Spannungsabhängigkeit der Kapazität bei keramischen Dielektrika, so dass bei einer angelegten Spannung von 25 V nur noch $16,2 \mu\text{F}$ an Kapazität wirksam sind [TDK16a]. Im Layout hat sich die Anordnung von sechs der Kondensatoren in Parallelschaltung als günstig erwiesen. Im Folgenden soll der zu erwartende Spannungsrippel ΔV_C auf der Ausgangsspannung bestimmt werden. Zur einfacheren Rechnung wird dafür ein Tastgrad D von 50% angenommen, so dass der Strom i_C durch die Kondensatoren während einer Schaltperiode T den Verlauf aus Abb. 6.4 annimmt.

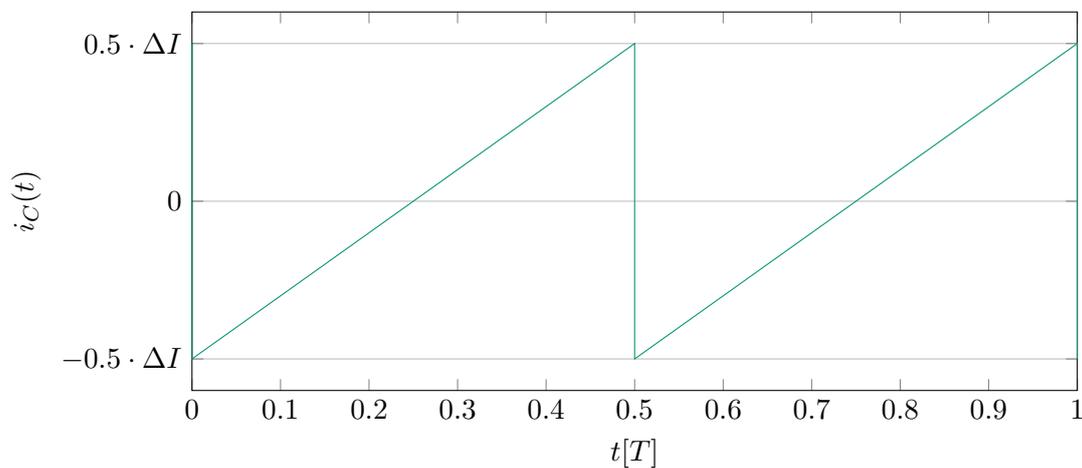


Abb. 6.4: Theoretischer Kondensatorstrom bei $D = 50\%$

Aus dem Zusammenhang zwischen Strom und Spannung am Kondensator, wird nun der Spannungshub ΔV_C bestimmt. Er wird jeweils in einem Intervall $\frac{T}{4}$ durchlaufen.

$$i_C = C \frac{du}{dt} \quad (6.28)$$

Das Umstellen von Gl. 6.28 und Integration von t gleich null bis t gleich $\frac{T}{4}$ ergibt:

$$\Delta V_C = \left| \frac{1}{C} \int_0^{T/4} i_C(t) dt \right| = \left| \frac{1}{C} \int_0^{T/4} (-0.5\Delta I + \Delta I \frac{t}{0.5T}) dt \right| \quad (6.29)$$

$$= \left| \frac{\Delta I}{C} \left[-0.5t + \frac{t^2}{T} \right]_0^{T/4} \right| = \frac{\Delta I \cdot T}{16 \cdot C} = \frac{\Delta I}{16 \cdot C \cdot f_S} \quad (6.30)$$

Nach Einsetzen der Gesamtkapazität C von $6 \cdot 16,2 \mu\text{F}$ und dem Stromrippel ΔI aus Gl. 6.24 folgt für den Spannungsrippel auf der Sekundärseite:

$$\Delta V_C = \frac{6,2 \text{ A}}{16 \cdot 6 \cdot 16,2 \mu\text{F} \cdot 100 \text{ kHz}} \approx 40 \text{ mV} \quad (6.31)$$

Es kann mathematisch leicht bewiesen werden, dass Gl. 6.30 für beliebigen Tastgrad D zwischen 0% und 50% gültig bleibt. Dazu muss lediglich die Fläche unterhalb des Stromverlaufs aus Abb. 6.4 und oberhalb der Linie bei i_C gleich null bei Variation von D konstant bleiben. Wird die Fläche allgemein berechnet, so stellt sich heraus, dass D nach dem Vereinfachen der Gleichung aus dieser entfällt.

6.6. Schutzschaltungen

Auf der Primärseite des DC/DC-Wandlers sind mehrere Schutzmaßnahmen gegen Fehlbedienung oder Fehlfunktion getroffen, die im Wesentlichen aus [Sch15] übernommen sind. Abb. 6.5 zeigt den Schaltungsteil zwischen den Klemmen zum LVDC-Netz und dem $5 \mu\text{F}$ -Kondensator des CLC-Filters.

Die Sicherung F1 löst bei zu großer Stromaufnahme des Wandlers, aufgrund einer Fehlfunktion, aus oder wenn lang andauernde Überspannungen im LVDC-Netz vorliegen. In letzterem Fall bietet der Varistor VDR1 einen alternativen Strompfad parallel zum Wandler. NTC1 ist zur Begrenzung des Einschaltstroms vorhanden, der beim Anschluss an das Versorgungsnetz entsteht, wenn C17, sowie die Halbbrückenkondensatoren geladen werden. Da die Verlustleistung von NTC1 im Betrieb einen nicht unerheblichen Wert erreicht, ist Transistor T3 parallel geschaltet. Die Gate-Source-Strecke von T3 wird über

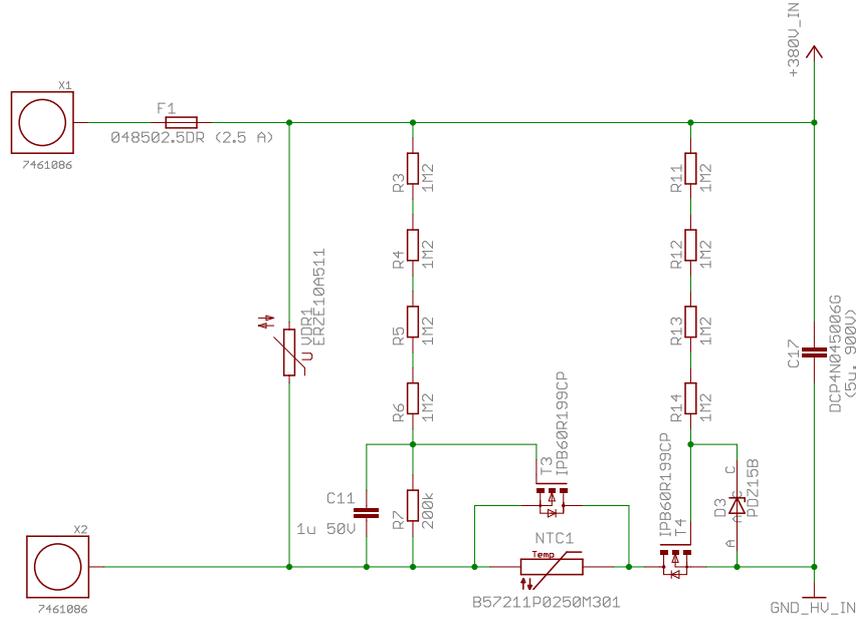


Abb. 6.5: Schutzschaltung in Richtung LVDC-Netz

den Spannungsteiler R3...R7 im Betrieb auf etwa 15,2 V gehalten, wodurch der Transistor vollständig durchgeschaltet ist. Vor dem Einschaltvorgang ist allerdings C11 noch ungeladen, so dass T3 verzögert einschaltet und NTC1 damit genügend Zeit bietet um den Einschaltstrom zu limitieren. Zur Abschätzung der Verzögerungszeit bis zum Einschalten von T3 wird der Strom I_{C11} im Anschlussmoment des Wandlers betrachtet. V_{C11} ist hier noch null, so dass gilt:

$$I_{C11} = \frac{380 \text{ V}}{4,8 \text{ M}\Omega} \approx 79,2 \mu\text{A} \quad (6.32)$$

Bis zum Erreichen der Spannung V_{C11} von 15,2 V, sinkt I_{C11} exponentiell. Zur Vereinfachung der Rechnung wird jedoch angenommen, dass er bis zur Threshold-Spannung $V_{GS(th)}$ von 3 V von T3 konstant bleibt. Für die Einschaltverzögerungszeit t_{T3} gilt damit:

$$t_{T3} = \frac{C_{C11} \cdot V_{GS(th)}}{I_{C11}} = \frac{1 \mu\text{F} \cdot 3 \text{ V}}{79,2 \mu\text{A}} \approx 38 \text{ ms} \quad (6.33)$$

Ein Verpolschutz wird durch T4 mit zugehöriger Gate-Beschaltung erreicht. Bei korrektem Anschluss des Wandlers leitet zunächst die Body-Diode von T4 und das Potential an GND_LVDC_IN wird gegenüber +380V_IN niedrig genug, dass mittels D3 und

R11...R14 eine Gate-Source-Spannung oberhalb der Schwellspannung gebildet wird. Damit schaltet T4 aktiv ein und verringert die Verlustleistung im Betrieb, welche andernfalls aufgrund des Spannungsabfalls an der Body-Diode entsteht. Bei verpoltem Anschluss bleibt T4 gesperrt und verhindert den Energiefluss zum restlichen Schaltungsteil.

Es kann leicht überprüft werden, dass die Schaltung für den bidirektionalen Energiefluss vollständig geeignet ist. Im Boost-Betrieb sind die Spannungen, welche an den Schutz-elementen anliegen näherungsweise identisch zum Buck-Betrieb, so dass auch alle MOS-FETs weiterhin eingeschaltet bleiben. NTC1 und F1 sind passive Bauelemente und für Stromfluss in beide Richtungen geeignet.

Die Durchlasswiderstände der Transistoren T3 und T4 führen zu Verlusten beim Betrieb des Wandlers, die im Leistungsmaximum bei LVDC-Nennspannung folgenden Wert erreichen:

$$P_{V,T3/4} = 2 \cdot R_{DS(on)} \cdot \left(\frac{P_{LVDC,max}}{V_{LVDC,N}} \right)^2 = 2 \cdot 199 \text{ m}\Omega \cdot \left(\frac{600 \text{ W}}{380 \text{ V}} \right)^2 \approx 0,99 \text{ W} \quad (6.34)$$

Ebenfalls erzeugt die Sicherung F1 Verluste:

$$P_{V,F1} = R_{F1} \cdot \left(\frac{P_{LVDC,max}}{V_{LVDC,N}} \right)^2 = 58,3 \text{ m}\Omega \cdot \left(\frac{600 \text{ W}}{380 \text{ V}} \right)^2 \approx 0,15 \text{ W} \quad (6.35)$$

6.7. Verluste und Effizienz

Alle zuvor berechneten Verlustleistungen sind in Tabelle 6.6 zusammengefasst. Zusätzlich ist die Leistungsaufnahme des Steuerboards aufgeführt, welche im Betrieb gemessen ist. In diesem Wert ist die Ansteuerleistung der Transistoren bereits enthalten.

Mit der Gesamtsumme aller Verluste von 9,62 W ist theoretisch ein Wirkungsgrad von

$$\eta = \frac{600 \text{ W}}{600 \text{ W} + 9,62 \text{ W}} \approx 98,4 \% \quad (6.36)$$

möglich. Durch weitere Effekte, wie Schaltverluste der MOSFETs, wird in der Praxis ein niedrigerer Wert erwartet.

Tab. 6.6: Verlustleistungen

	P
Leitverluste Transformator $P_{V,Cu}$	0,92 W
Kernverluste Transformator $P_{V,Kern}$	1,29 W
Leitverluste SiC MOSFETs $P_{V,Rds(on)}$	0,73 W
C_{OSS} Umladeverluste SiC MOSFETs $P_{V,COSS}$	1,6 W
Leitverluste Si MOSFETs $P_{V,Rds(on)}$	0,58 W
C_{OSS} Umladeverluste Si MOSFETs $P_{V,COSS}$	0,61 W
Kupferverluste Drossel $P_{V,Cu,Lc}$	0,25 W
Transistoren Schutzschaltung LVDC $P_{V,T3/4}$	0,99 W
Sicherung Schutzschaltung LVDC $P_{V,F1}$	0,15 W
Leistungsaufnahme Steuerboard	2,50 W
	9,62 W

7. Messschaltungen und Steuerboard

Auf die Leistungsplatine mit sechs 105 μm -Kupferlagen wird mittels Stift- und Buchsenleisten das Steuerboard aufgesteckt, welches kostengünstig mit vier 35 μm -Lagen gefertigt wird.

7.1. Messeinrichtungen

Für die spätere Regelung des Wandlers, die allerdings nicht Bestandteil dieser Arbeit ist, werden mehrere Spannungs- und Strommesswerte an Primär- und Sekundärseite benötigt. Der prinzipielle Aufbau des Messsystems ist in Abb. 7.1 skizziert.

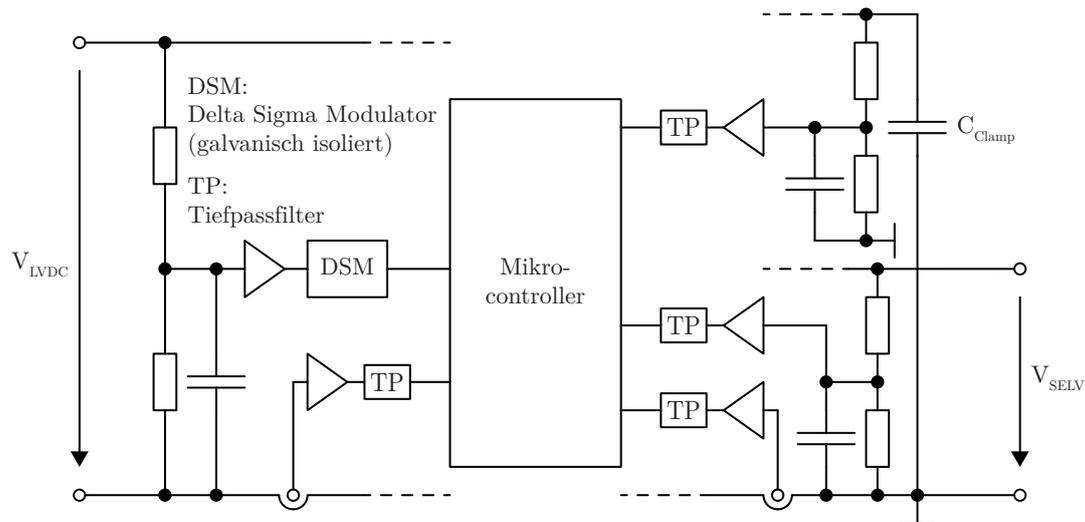


Abb. 7.1: Messeinrichtungen

Zur Strommessung sind magnetoresistive Sensoren der Typen CDS4006 (primär) und CDS4050 (sekundär) eingebaut. Mit ihnen kann der Stromfluss in beiden Richtungen, galvanisch getrennt und mit niedriger Verlustleistung gemessen werden. Der Messbereich beträgt für den CDS4006 $\pm 6 \text{ A}$ [Sen15] und beim CDS4050 $\pm 50 \text{ A}$ [Sen12]. Die obere Grenzfrequenz wird jeweils mit nominell 400 kHz angegeben. Mit einem nachgeschalteten Tiefpassfilter wird die Bandbreite jedoch bis etwa 3,6 kHz begrenzt. Der niedrige Wert wird gewählt, da zum Zeitpunkt der Arbeit die Messwerte nur zur Kontrolle und Wirkungsgradmessung genutzt werden und deshalb eine geringe Abtastrate gewünscht ist, um die Rechenleistung durch die nachfolgende digitale Filterung klein zu halten. Zur Regelung des Wandlers ist eine größere Grenzfrequenz sinnvoll.

Alle Spannungsmessungen erfolgen über resistive Spannungsteiler mit parallel geschaltetem Kondensator am unteren Teilerwiderstand zur Tiefpassfilterung und nachgeschalteten Operationsverstärkern als Impedanzwandler. Die Messsignale, welche von V_{SELV}

und V_{Clamp} abgeleitet sind, werden nach weiterer Filterung durch RC-Glieder den ADC-Eingängen des Mikrocontrollers zugeführt. Für das Signal aus V_{LVDC} , wird zur galvanischen Trennung der Delta-Sigma-Wandler AMC1305M25 [Tex14a] genutzt. Der Informationsfluss erfolgt innerhalb des ICs über eine kapazitive Koppelstrecke, wodurch eine hohe Immunität gegenüber magnetischen Störfeldern erzielt wird.

Zusätzlich sind auf dem Steuerboard vier ICs des Typs MAX31855 zur Auswertung von Thermoelementen angebracht, um während der Messungen in unterschiedlichen Betriebspunkten die Temperaturen ausgewählter Punkte auf der Platine messen zu können. Allgemein sind Thermoelemente aus Drähten unterschiedlicher Metalle aufgebaut und liefern eine Spannung, die proportional zur Temperaturdifferenz zwischen der Messstelle, an welcher die beiden Drähte miteinander verbunden sind, und der so genannten kalten Anschlussstelle. Im realisierten Aufbau werden die Drähte der Thermoelemente in Schraubklemmen auf dem Steuerboard fixiert, so dass dieser Punkt den kalten Anschluss darstellt. Zur korrekten Temperaturmessung am Messpunkt, müssen die Auswert-ICs die Temperatur in den Schraubklemmen möglichst genau erfassen und sind deshalb direkt neben den Klemmen platziert. Die Anbindung der ICs zum Mikrocontroller erfolgt über eine SPI Schnittstelle.

7.2. Steuerboard

Zentrales Element des Steuerboards ist der Mikrocontroller XMC4400-F64F512 des Herstellers Infineon. Folgende Peripheriebausteine des Controllers kommen in der Arbeit zum Einsatz:

- ADC: Erfassung der Messsignale der Ströme an den beiden Netzanschlüssen des Wandlers und der Spannungen am Anschluss der Sekundärseite.
- Delta-Sigma Demodulator: Anbindung zum AMC1305M25 für die Spannungsmessung auf der Primärseite.
- High Resolution PWM Units: Erzeugen die Taktsignale für die Ansteuerung der MOSFETs mit einer Auflösung von bis zu 150 ps in Periodendauer und Tastgrad.
- SPI: Auslesen der Temperaturwerte der Thermoelemente aus den ICs MAX31855
- CAN: Kommunikationsschnittstelle zum PC für die Einstellung der Parameter der Taktsignale

Als Systemtakt wird die Maximalfrequenz von 120 MHz genutzt. Dadurch steht einerseits die volle Rechenleistung zur Verfügung und andererseits wird die beste Timerauflösung erreicht.

Zur Bereitstellung aller benötigten Versorgungsspannungen enthält das Steuerboard vier Buck-Converter mit dem IC TPS54061DRB. Im IC sind bereits Leistungsschalter und -diode enthalten und damit bleibt der Aufwand in der externen Beschaltung relativ gering. Gleichzeitig sind die ICs sehr kostengünstig mit einem Stückpreis von 1,04\$ bei Abnahme von 1000 St. vom Hersteller [Tex16].

Exemplarisch wird in Abb. 7.2 der Schaltplan des Wandlers für die Spannung 3,3V gezeigt, der z.B. den Mikrocontroller versorgt.

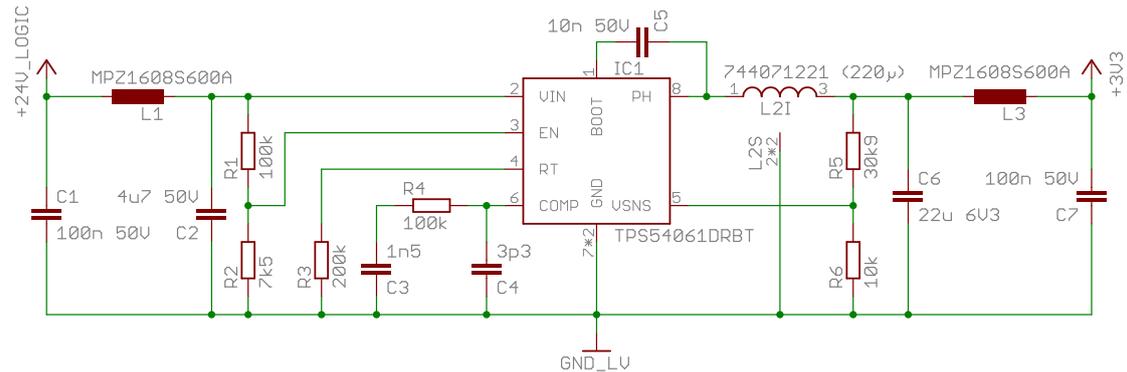


Abb. 7.2: Buck-Converter 3,3V

Weitere Spannungslevel auf der Sekundärseite sind 5V für die Versorgung der Stromsensoren und Operationsverstärker, sowie 10V für die Treiber der Si-MOSFETs. Der vierte Buck-Converter ist an das Massepotential der Primärseite angeschlossen und setzt die 15V der Low-side SiC-Treiberversorgung auf 5V herab um damit die Messschaltungen und digitale Isolatoren der Primärseite zu speisen. Primärseitig werden zudem noch 3,3V benötigt, die jedoch aufgrund des niedrigen Leistungsbedarfs über einen Linearregler abgeleitet werden.

8. Software

Zur Steuerung des Wandlers wird eine grafische Oberfläche (GUI) genutzt, die in C# erstellt ist. Mit ihr können alle relevanten Zeiten der MOSFET-Steuersignale eingestellt werden. Gleichzeitig zeigt die Oberfläche aktuelle Daten des Wandlers, wie Ein-, Ausgangsspannung, Leistung, Temperatur und Wirkungsgrad an. Die Kommunikation zwischen PC und Steuerboard erfolgt über einen CAN-USB-Adapter der Firma Peak Systems.

In den nächsten Kapiteln wird zunächst die GUI vorgestellt und dabei die einstellbaren Pulsmuster erläutert. Anschließend folgt eine Erklärung über die wichtigsten Elemente der Firmware des XMC4400-Mikrocontrollers.

8.1. Grafische Oberfläche

Ein Screenshot der GUI ist in Abb. 8.1 wiedergegeben.

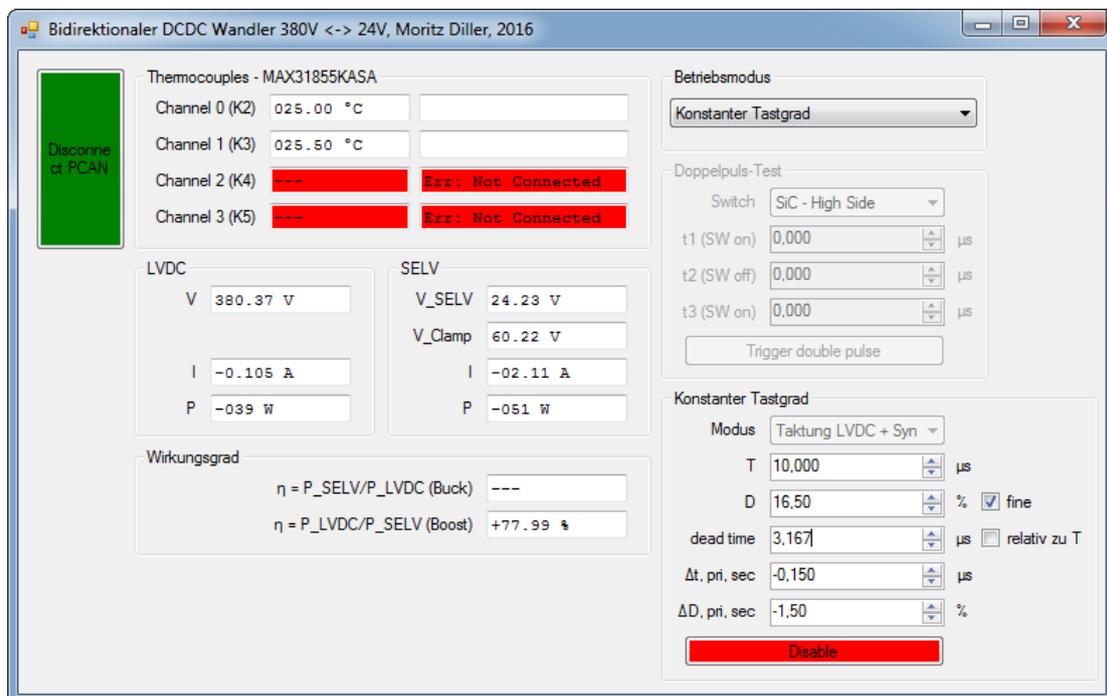


Abb. 8.1: Screenshot der grafischen Oberfläche

Im linken Bereich der Oberfläche werden die aktuellen Messdaten des Wandlers visualisiert, dies sind die Temperaturen der vier Thermoelemente, die Spannungen und Ströme auf Primär- (LVDC) und Sekundär-(SELV)Seite, sowie daraus berechnet die Wirkungsgrade im Buck- und Boost-Betrieb.

Auf der rechten Seite des Fensters werden die Taktsignale eingestellt. Zunächst kann im Feld "Betriebsmodus" zwischen "Doppelpuls-Test" und "Konstanter Tastgrad" umgeschaltet werden. In Folge dessen werden die zugehörigen Bedienelemente vom Programm aktiviert bzw. deaktiviert.

Die Parameter innerhalb der Gruppe "Konstanter Tastgrad" werden nun anhand Abb. 8.2 erläutert.

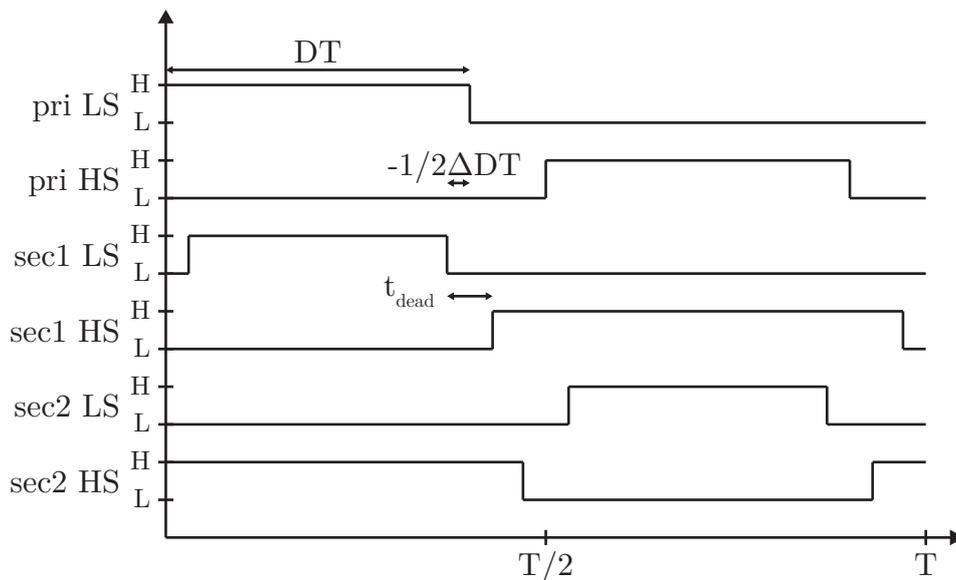


Abb. 8.2: Taktsignale im Modus "Taktung LVDC + Synchrongleichrichtung"

Dargestellt sind die logischen Pegel für die Ansteuerung der Treiberschaltungen: H (High, MOSFET ein) und L (Low, MOSFET aus). Die fünf Parameter der GUI haben folgende Bedeutungen:

- T : Periodendauer
- D : Tastgrad auf der Primärseite
- dead time / t_{dead} : Zeit innerhalb welcher sowohl High- als auch Low-Side-Transistor auf der Sekundärseite ausgeschaltet sind.
- $\Delta t, pri, sec$: Mit dieser Zeitkonstanten können die Taktsignale von der Sekundärseite zu den Signalen der Primärseite verschoben werden um z.B. unterschiedliche Latenzzeiten zwischen den SiC- und Si-MOSFET-Treibern zu kompensieren.
- ΔD : Der Tastgrad der Low-Side-Si-MOSFETs wird um diesen Wert im Vergleich zum Tastgrad auf der Primärseite erhöht.

Über das Optionsfeld "Modus" können noch weitere Betriebsarten gewählt werden:

- "Taktung LVDC":

Es werden nur die SiC-MOSFETs auf der Primärseite getaktet und die Energie wird vom LVDC-Port zum SELV-Port übertragen. Dieser Modus wird lediglich für die ersten Tests des Wandlers bei einer Eingangsspannung von 310 V und niedriger Last verwendet. Bei höheren Eingangsspannungen oder größerem Ausgangsstrom führt das nicht Takten der Si-High-Side-Transistoren dazu, dass die Klemmspannung über den kritischen Wert von 80 V steigt und damit oberhalb der spezifizierten Drain-Source-Spannung der Si-MOSFETs liegt. Ursache hierfür ist, dass über die Body-Dioden der MOSFETs (bzw. parallel geschaltete Dioden) Strom in die Klemmkondensatoren fließen kann, allerdings keine Möglichkeit gegeben ist, diese Energie wieder zurück zu speisen. Die Kondensatorspannung steigt folglich stückweise asymptotisch bei jeder Schaltperiode. Der Endwert der Spannung ist erreicht, wenn die Klemmkondensatoren so weit aufgeladen sind, dass die Klemmspannung den gleichen Wert besitzt, der als Spitzenwert ohne Klemmschaltung an den Sekundäranschlüssen des Transformators auftreten würde. Diese Spitzenspannung wird hauptsächlich durch vier Faktoren beeinflusst:

1. Der Wert der Überspannung steigt mit der Größe der Streuinduktivität.
2. Größere Kapazitäten, die zwischen den Sekundärwicklungsanschlüssen und GND liegt, führt zu niedrigeren Überspannungen, da diese die Energie der Streuinduktivität aufnehmen können.
3. Bei hohen Strömen durch die Transformatorwicklungen steigt die Energie in den Streuinduktivitäten und damit die Spitzenspannung.
4. Der Größe der Spannung V_{LVDC}

Bei niedriger Eingangsspannung V_{LVDC} und geringem Ausgangsstrom I_{SELV} ist die Energie in der Streuinduktivität noch gering genug, um von den parasitären Kapazitäten an den sekundärseitigen Transformatoranschlüssen soweit aufgenommen werden zu können, dass die Drain-Source-Spannung nicht über den Wert von 80 V schwingt.

- "Taktung SELV":

Hier erfolgt eine Taktung der sekundärseitigen Halbbrücken, während die SiC-MOSFETs nicht aktiv geschaltet werden. Damit findet der Energiefluss vom SELV-Port zum LVDC-Port statt. Es kann der gesamte Leistungsbereich abgefahren werden, allerdings werden bei hoher Last Einbußen in der möglichen Wandler-effizienz

erwartet, da in diesem Betriebsbereich die Verluste in den SiC-Body-Dioden, im Vergleich zur Einsparung der Ansteuerleistung, dominieren.

- "Taktung SELV + Synchrongleichrichtung":
Zusätzlich zum vorherigen Modus werden die SiC-MOSFETs aktiv geschaltet. Der Unterschied zum in Abb. 8.2 gezeigten Modus ist, dass sich der Tastgrad D nun auf die Sekundärseite bezieht und für die Primärseite gilt:

$$D_{pri} = D + \Delta D \quad (8.1)$$

- "Taktung LVDC + HS Synchrongleichrichtung":
Es gelten die Verhältnisse aus Abb. 8.2, allerdings sind die Low-Side-Schalter der Sekundärseite deaktiviert, so dass die Gleichrichtung nur über die Dioden erfolgt. Im unteren Leistungsbereich werden damit bessere Effizienzen erwartet, da die Ansteuerleistung für diese Schalter entfällt und weiches Einschalten schaltungstechnisch garantiert ist.
- "Taktung LVDC + HS 1/5 Synchrongleichrichtung":
Als Erweiterung des vorausgehenden Falls werden die High-Side-SI-MOSFETs bei dieser Ansteuerungsart nur noch in jeder 5. Periode der Primärseite aktiviert. In 4 von 5 Perioden besteht die Klemmschaltung folglich nur aus Kondensatoren und Dioden, so dass kein Pendeln des Stromes zwischen den Klemmkondensatoren und den Streuinduktivitäten auftreten kann. Das aktive Schalten in der 5. Periode ist notwendig, um die zwischenzeitlich gespeicherte Ladung aus den Klemmkondensatoren wieder entnehmen zu können. Das Verhältnis 1/5 wird gewählt, so dass die Taktfrequenz der High-Side-MOSFETs weiterhin mit 20 kHz im, durch den Menschen, nicht hörbaren Frequenzbereich liegt.

8.2. XMC4400 Firmware

Für die Generierung aller Taktsignale der Leistungsschalter werden jeweils vier High Resolution PWM Units (HRPWM) und Capture/Compare Unit 8 Slices (CC8) genutzt. Die CC8 Peripheriebausteine werden vom Systemtakt mit 120 MHz gespeist wodurch eine Auflösung von ca. 8,3 ns erreicht wird. Die steigenden und fallenden Flanken der CC8 können anschließend mithilfe der HRPWM Einheiten in Schritten von 150 ps verzögert werden und dadurch der Tastgrad mit hoher Auflösung gewählt werden. Abb. 8.3 veranschaulicht dieses Verfahren grafisch.

Zur Steuerung der SiC-MOSFETs auf der Primärseite sind zwei HRPWM+CC8 Peripherieeinheiten eingesetzt, jeweils getrennt für High- und Low-Side-Transistor. Sekun-

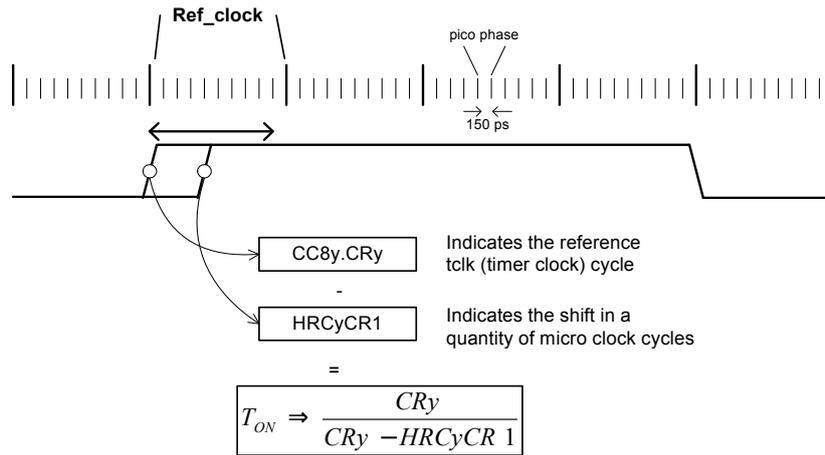


Abb. 8.3: High Resolution Signal Generation [Inf14]

därseitig wird jede Halbbrücke durch ein HRPWM+CC8 Modul getaktet, deshalb wird an dieser Stelle zusätzlich die Möglichkeit genutzt, eine Totzeit zwischen den komplementären Signalen für High- und Low-Side-MOSFETs einzustellen.

Zur Synchronisation der vier Timerperipherieeinheiten stellen die XMC4400 umfangreiche Optionen zur Verfügung, die allerdings zum Zeitpunkt der Arbeit nicht mit der Entwicklungsumgebung DAVE 4.1.4 per Codegenerierung nutzbar sind. Deshalb wird im Folgenden etwas detaillierter darauf eingegangen, wie die Timer in dieser Arbeit untereinander verknüpft sind.

Zunächst zur Nomenklatur. Im XMC4400 sind zwei CCU8 Module vorhanden, die mit CCU8x bezeichnet werden, wobei x für die Modulnummer 0 oder 1 steht. Innerhalb jedes CCU8 Moduls existieren vier Timer Slices CC8y mit y von null bis drei.

Jedes Timer Slice besitzt eine Signalleitung mit der Bezeichnung CCU8x.STy, die den Status von Compare Channel 1, 2 oder der logischen UND-Verknüpfung beider Channels weitergibt. Die Wahl für eine der drei Optionen erfolgt mit dem folgenden Codeausschnitt exemplarisch für das Timer Slice HRPWM_LVDC_HS auf Compare Channel 2.

```
XMC_CCU8_SLICE_ConfigureStatusBitOutput(
    HRPWM_LVDC_HS.ccu8_slice_ptr,
    XMC_CCU8_SLICE_STATUS_CHANNEL_2);
```

Compare Channel 1 wird direkt für die Taktsignalerzeugung genutzt. Sobald der Zählerwert des Timers mit dem Wert aus Compare Channel 1 übereinstimmt, wechselt die Flanke des Ausgangssignals von Low zu High. Der High-Low-Wechsel geschieht beim

Rücksetzen des Timers, wenn der Zählerwert die eingestellte Periodendauer erreicht. Compare Channel 2 kann folglich zunächst frei gewählt werden und wird deshalb zur Synchronisation der Timer Slices benutzt. Zu beachten ist, dass die Signale CCU8x.STy nur innerhalb eines CCU8 Moduls zur Synchronisation der Slices genutzt werden können, nicht zwischen zwei CCU8 Modulen. Alle vier verwendeten Timer gehören jedoch demselben CCU8 Modul an, so dass dies kein Hindernis darstellt.

Der Timer für das Signal des High-Side-Transistors auf der Primärseite wird für kontinuierlichen Betrieb konfiguriert, alle anderen Timer sind auf Single-Shot-Betrieb eingestellt, d.h. sie laufen genau für eine Periode und anschließend wird der Inkrementiervorgang des Zählerwertes gestoppt. Um die drei Single-Shot-Timer wieder zu starten, ist eine Low-High-Flanke im Start-Triggersignal notwendig. Dieses Triggersignal wird mit dem CCU8x.STy-Signal eines anderen Timer Slices verknüpft. Insgesamt sind die vier Timer zu einer Kette verschaltet, wobei das erste Glied vom Timer Slices des SiC-High-Side-Signals gebildet wird. Alle weiteren Timer laufen deshalb exakt bis zur gleichen Periodendauer des zuletzt genannten Slices. Der Phasenversatz zwischen den Timern wird über die Werte der Compare Channel 2 Register festgelegt.

Zur Verknüpfung der Timer Slices muss der von DAVE generierte Code in der Datei `hrpwm_conf.c` angepasst werden. An dieser Stelle ist der Hinweis angebracht, dass alle Änderungen innerhalb der Datei bei der nächsten Codegenerierung überschrieben werden und deshalb rechtzeitig Sicherungskopien angelegt werden sollten. Eine Möglichkeit die Codegenerierung selektiv innerhalb einer Datei zu deaktivieren ist nicht verfügbar.

Innerhalb der folgenden Struktur aus `hrpwm_conf.c` muss lediglich die zugewiesene Konstante für das Element `mapped_input` angepasst werden.

```
const XMC_CCU8_SLICE_EVENT_CONFIG_t HRPWM_LVDC_LS_event0_config =
{
    .mapped_input = XMC_CCU8_SLICE_INPUT_M,
    .edge = XMC_CCU8_SLICE_EVENT_EDGE_SENSITIVITY_RISING_EDGE,
    .level = XMC_CCU8_SLICE_EVENT_LEVEL_SENSITIVITY_ACTIVE_LOW,
    .duration = XMC_CCU8_SLICE_EVENT_FILTER_DISABLED,
};
```

Hier wird Input M gewählt, der dem Signal CCU80.ST0 entspricht. Wahlmöglichkeiten für die Belegung der Trigger-Signale sind in [Inf14] im Kapitel 21.8 Interconnects tabellarisch aufgelistet.

Damit die richtigen Steuersignale ausgewählt werden können, muss noch identifiziert werden, welche Slice Nummern DAVE den einzelnen HRPWM-Apps zuweist. Auch dies kann in `hrpwm_conf.c` nachgeschlagen werden, siehe folgenden verkürzten Code Abschnitt:

```
HRPWM_t HRPWM_LVDC_HS =
{
    ...
    .ccu8_slice_ptr = (XMC_CCU8_SLICE_t*) CCU80_CC80,
    ...
};
```

HRPWM_LVDC_HS entspricht also Timer Slice 0 (CC80) und liefert folglich das Signal CCU80.ST0, welches weiter oben mit HRPWM_LVDC_LS, also dem Timer für das SiC-Low-Side-Taktsignal, per Software verschaltet wird. Wird Compare Channel 2 von HRPWM_LVDC_HS auf ca. 50% (mehr zum exakten Wert folgt) gesetzt, wird auch von HRPWM_LVDC_LS das gewünschte Pulsmuster generiert. Die Verkettung aller Timer ist in Abb. 8.4 gezeigt.

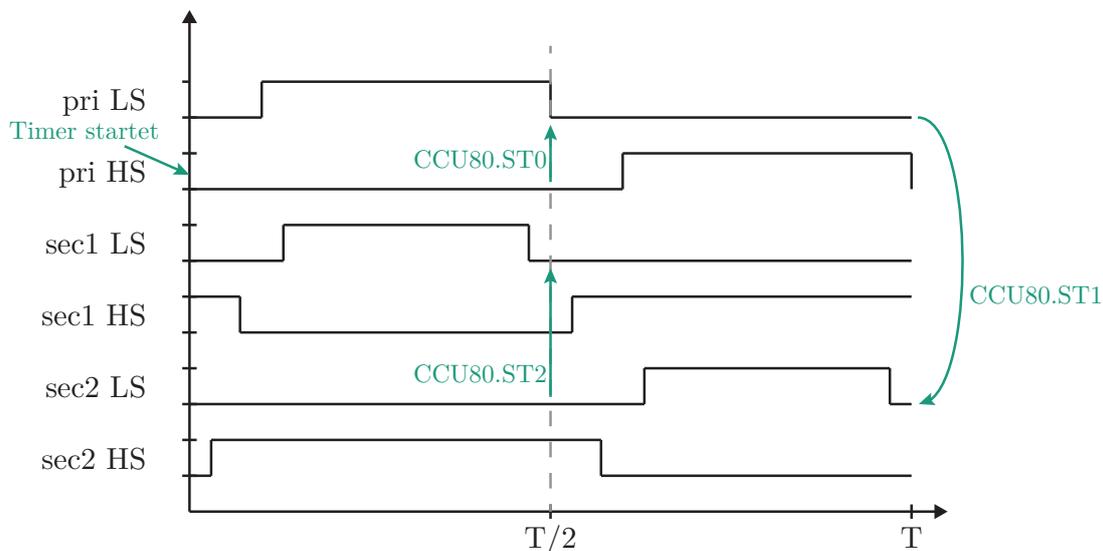


Abb. 8.4: Start- und Triggerzeitpunkte

Mit dieser Triggerverschaltung können alle Compare Channel 2 initial auf 50% gesetzt werden und es ist eine Verschiebung der Zeitpunkte in positiver wie auch negativer Richtung ohne Überläufe möglich.

Nach [Inf14] gilt: "The status bit outputs of the Kernel, CCU8x.STy, CCU8x.STyA and CCU8x.STyB are extended for one more kernel clock cycle." (S. 21-8) und "The maximum output signal frequency of the CCU8x.STy, CCU8x.STyA and CCU8x.STyA is module clock divided by 4." (S.21-9). Die Signale werden also um mehrere Systemtaktzyklen verzögert, weshalb der Initialwert des Capture Compare 2 Registers in der Software entsprechend von 50 % abweichend korrigiert ist.

8.3. CAN Schnittstelle

Der Aufbau der genutzten CAN-Nachrichten ist in der nachfolgenden Tabelle 8.1 beschrieben.

Tab. 8.1: Aufbau der CAN-Nachrichten

ID	Byte 0	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5	Byte 6	Byte 7
0x100	Thermocouple Data Channel 0							
0x101	Thermocouple Data Channel 1							
0x102	Thermocouple Data Channel 2							
0x103	Thermocouple Data Channel 3							
0x110	V_{SELV} [10 mV], US							
0x111	V_{Clamp} [10 mV], US							
0x112	I_{LVDC} [mA], S							
0x113	I_{SELV} [10 mA], S							
0x114	V_{LVDC} [10 mV], US							
0x200	T_r^1	T_1 [ns], US			T_2 [ns], US		T_3 [ns], US	
0x210	T [ns], US		D [0,01 %], US		t_{dead} [ns], US		mode	
0x211	$\Delta t_{pri,sec}$ [ns], S		$\Delta D_{pri,sec}$ [0,01 %], S					

¹ Transistor, Bit 0...3

Die Abkürzungen "S" und "US" stehen für vorzeichenbehaftete (signed) und vorzeichenlose (unsigned) Integerzahlen.

Die Nachrichten mit den IDs 0x100 bis 0x114 werden vom Steuerboard zum PC gesendet. In der anderen Datenflussrichtung werden die IDs 0x200 bis 0x211 für den Informationsaustausch vom PC zum Steuerboard verwendet.

- 0x100 ... 0x103

Innerhalb der ersten vier Bytes dieser Nachrichten werden die Messdaten der Thermoelemente übertragen. Die Daten werden im gleichen Format geliefert, wie sie über die SPI Schnittstelle des MAX31855 erhalten werden. Der detaillierte Aufbau des Frames ist in Abb. 8.5 dargestellt.

	14-BIT THERMOCOUPLE TEMPERATURE DATA				RES	FAULT BIT	12-BIT INTERNAL TEMPERATURE DATA				RES	SCV BIT	SCG BIT	OC BIT
BIT	D31	D30	...	D18	D17	D16	D15	D14	...	D4	D3	D2	D1	D0
VALUE	Sign	MSB 2^{10} (1024°C)	...	LSB 2^{-2} (0.25°C)	Reserved	1 = Fault	Sign	MSB 2^6 (64°C)	...	LSB 2^{-4} (0.0625°C)	Reserved	1 = Short to V_{CC}	1 = Short to GND	1 = Open Circuit

Abb. 8.5: Inhalt der Frames der Thermoelemente [Max12]

- 0x110 ... 0x114

Strom- und Spannungsmesswerte des Wandlers.

- 0x200

Der Wandler löst für jede empfangene Nachricht mit dieser ID einen Doppelpuls aus. Das Feld Tr gibt an, welcher Transistor geschaltet werden soll, alle anderen Leistungsschalter werden im hochohmigen Zustand belassen. Es gilt folgende Zuordnung:

$$\text{Tr} = 0: T_{pri,HS} \quad \text{Tr} = 2: T_{sec1,HS} \quad \text{Tr} = 4: T_{sec2,HS}$$

$$\text{Tr} = 1: T_{pri,LS} \quad \text{Tr} = 3: T_{sec1,LS} \quad \text{Tr} = 5: T_{sec2,LS}$$

Das generierte Taktsignal wird in Abb. 8.6 veranschaulicht.

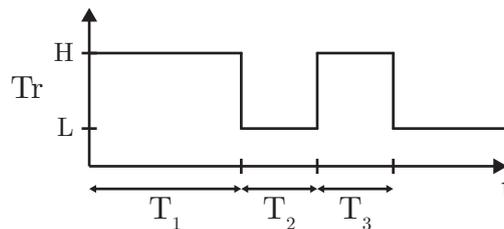


Abb. 8.6: Taktsignal beim Doppelpulstest

Aufgrund der gewählten Bitbreiten und Auflösungen, ist der Maximalwert für T_1 etwa 268 ms und für T_2 sowie T_3 circa 65 μ s.

- 0x210 und 0x211

Mit diesen beiden Nachrichten werden die Parameter im Modus "Konstanter Tastgrad" eingestellt. Sobald der Wandler ein gültiges Nachrichtenpaar empfängt, beginnt die entsprechende Taktung der MOSFETs. Wird eine der Nachrichten länger als etwa eine Sekunde nicht mehr empfangen, so werden alle Taktsignale auf Low-Pegel gelegt. Damit schaltet der Wandler automatisch ab, falls die CAN-Verbindung unterbrochen wird.

Für das Feld "mode" werden die folgenden Werte akzeptiert:

mode = 0: Taktung LVDC

mode = 1: Taktung SELV

mode = 2: Taktung LVDC + Synchrongleichrichtung

mode = 3: Taktung SELV + Synchrongleichrichtung

mode = 4: Taktung LVDC + HS Synchrongleichrichtung

mode = 5: Taktung LVDC + HS 1/5 Synchrongleichrichtung

Die Bedeutung der anderen Parameter ist bereits in Kapitel 8.1 beschrieben.

9. Hilfsversorgungen

9.1. SiC Gate-Treiber Versorgung

Zum Schalten der SiC-MOSFETs auf der Hochvolt-Seite wird entsprechend dem Datenblatt [Cre15] eine Treiber Spannungsversorgung von 15 V und -4 V gegenüber dem Source-Potential benötigt. Hierzu wird ein Flyback Converter entworfen, der eine Ausgangsspannung von 19 V bereit stellt und aus dem 24 V-Netz der Sekundärseite gespeist wird. Eine nachfolgende Operationsverstärkerschaltung generiert das notwendige Bezugspotential, um die geforderten Spannungen von 15 V und -4 V zu erhalten.

9.1.1. Strombedarf des SiC-Treibers

Aus dem Datenblatt des SiC-MOSFETs wird die Gate-Ladung Q_G bei einer Potentialänderung an V_{GS} von -4 V auf 15 V zu 30 nC abgelesen. Nach [Alb11] gilt für den Energiegehalt einer Kapazität:

$$E_C = \frac{1}{2} \cdot Q \cdot V \quad (9.1)$$

Diese Energie wird bei jedem Lade- und Entladevorgang in Treiber und Gate-Widerständen als Wärme frei gesetzt, so dass die folgende Ansteuerleistung benötigt wird:

$$P_{Treiber} = f_S \cdot Q_G \cdot \Delta V_{GS} = 100 \text{ kHz} \cdot 30 \text{ nC} \cdot 19 \text{ V} = 57 \text{ mW} \quad (9.2)$$

Der mittlere Treiberstrom zur Umladung der Gate-Source-Strecke beträgt damit:

$$\frac{P_{Treiber}}{V_{GS}} = \frac{57 \text{ mW}}{19 \text{ V}} = 3 \text{ mA} \quad (9.3)$$

Zusätzlich hat der Treiber ADuM4135 einen Eigenverbrauch von maximal 6,21 mA [Ana15].

9.1.2. Flyback Converter

Zur Realisierung des Flyback Converters wird das IC LT8301 von Linear Technology eingesetzt. Mit diesem IC sind laut Datenblatt [Lin14] auch bei niedrigen Belastungen Wirkungsgrade über 80 % möglich. Gleichzeitig wird nur eine minimale externe Beschaltung benötigt, da der Leistungsschalter im IC integriert ist und für die Messung der Ausgangsspannung kein Optokoppler oder eine Zusatzwindung erforderlich ist, wie dies

bei vielen anderen Bausteinen der Fall ist. Die Bestimmung der aktuellen Ausgangsspannung zur Regelung erfolgt über die Messung der Spannung der Primärwicklung des Transformators. Über diese kann auf die Spannung an der Sekundärseite geschlossen werden, wenn der Leistungstransistor im IC abgeschaltet ist. Der Schaltplan des Wandlers ist in Abb. 9.1 gezeigt. Die Dimensionierung der Bauteile wird im Folgenden detailliert beschrieben.

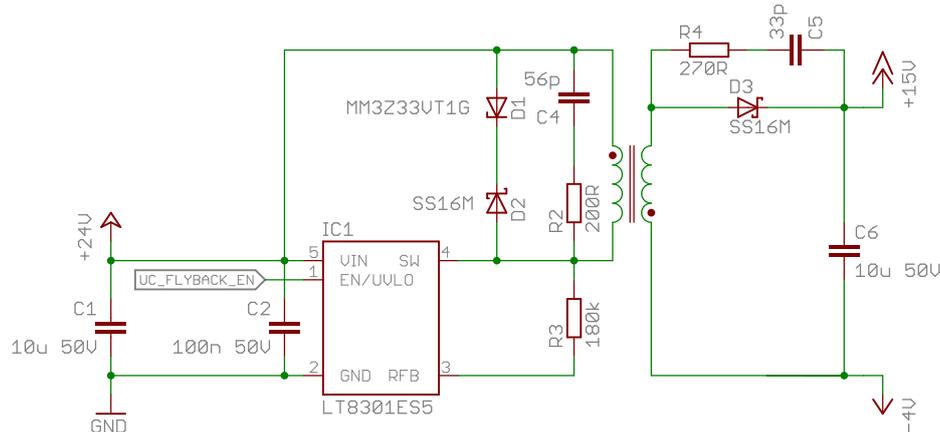


Abb. 9.1: Schaltplan des Flyback Converters

9.1.3. Wicklungsverhältnis

Nach [Lin14] muss für das Wicklungsverhältnis die folgende Bedingung eingehalten werden, um die Spannungsfestigkeit des internen Leistungsschalters von 65 V nicht zu überschreiten.

$$n = \frac{N_p}{N_s} < \frac{65 \text{ V} - V_{in} - V_{leakage}}{V_{out} + V_F} = \frac{65 \text{ V} - 24 \text{ V} - 15 \text{ V}}{19 \text{ V} + 0,3 \text{ V}} \approx 1,35 \quad (9.4)$$

Mit der Eingangsspannung V_{in} , dem Überschwingen der Spannung aufgrund der Streuinduktivität um $V_{leakage}$ von 15 V, der Ausgangsspannung V_{out} und dem Spannungsabfall V_F über der sekundärseitigen Diode.

Um eine hohe Ausgangsleistung zu ermöglichen, sollte n so groß wie möglich sein [Lin14], aber den Wert aus Gl. 9.4 nicht überschreiten. Aus praktischen Realisierungsgründen wird n gleich eins gewählt.

9.1.4. Hauptinduktivität

Für die minimal mögliche Hauptinduktivität des Transformators gilt nach dem Datenblatt des ICs:

$$L_{pri} \geq \frac{t_{off(min)} \cdot n \cdot (V_{out} + V_F)}{I_{SW(min)}} = \frac{450 \text{ ns} \cdot 1 \cdot (19 \text{ V} \cdot 0,3 \text{ V})}{290 \text{ mA}} \approx 30 \text{ } \mu\text{H} \quad (9.5)$$

Für die Praxis wird empfohlen einen 30% größeren Wert zu wählen, um die Bedingung auch beim Auftreten von Bauteiltoleranzen einhalten zu können. Von einem noch größeren Wert wird abgeraten, da in diesem Fall, bei geringer Strombelastung des Wandlers, Instabilitäten auftreten können. Der Zielwert von L_{pri} wird daher auf 39 μH festgelegt.

Die zweite Bedingung für L_{pri} nach [Lin14]

$$L_{pri} \geq \frac{t_{on(min)} \cdot V_{in(max)}}{I_{SW(min)}} = \frac{170 \text{ ns} \cdot 24 \text{ V}}{290 \text{ mA}} \approx 14 \text{ } \mu\text{H} \quad (9.6)$$

wird bereits durch die erste Bedingung erfüllt.

9.1.5. Sättigungsstrom

Bei geringer Belastung regelt das IC LT8302 die Einschaltzeit des Leistungstransistors derart, dass der Strom $I_{SW(min)}$ nicht überschritten wird. Beim Einschalten des Flyback Converters wird der Ausgangskondensator jedoch mit einer deutlich höheren Leistung geladen, als im Dauerbetrieb auf der Sekundärseite entnommen wird. Aus diesem Grund darf der Transformator Kern beim Strom $I_{SW(max)}$ nicht in Sättigung geraten. Unter Berücksichtigung von Exemplarstreuungen des LT8302 gilt $I_{SW(max),max}$ gleich 1,55 A.

9.1.6. Auswahl des Kerns

Da die Ausgangsleistung des Flyback Converters relativ gering ist, wird der kleinste verfügbare Kern für planare Bauweise von Ferroxcube ausgewählt. Er besitzt die Bauform E14/3.5/5 und ist mit den Luftspaltlängen 0 μm , 150 μm , 300 μm und 600 μm , sowie verschiedenen Kernmaterialien erhältlich [Fer08a]. Aufgrund der guten Verfügbarkeit, wird das Kernmaterial 3F3 gewählt.

Überlegungen zum Layout haben ergeben, dass mit aktuellen Standard-Designparametern für 4-lagige Leiterplatten (35 μm Kupferdicke, 125 μm Strukturbreite, 200 μm Bohrdurchmesser [Mul16]) maximal elf Windungen pro Lage im Wicklungsfenster des Kerns platziert werden können, wenn die geforderten Isolationsabstände eingehalten werden. Abb. 9.2 zeigt exemplarisch einen Transformator mit drei Windungen pro Kupferlage und die zugehörigen Abmessungen.

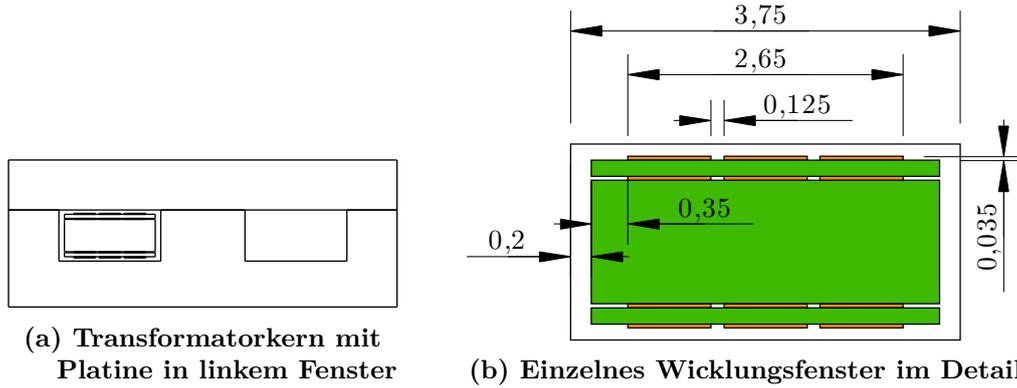


Abb. 9.2: Querschnitt des Wicklungsfensters mit drei Windungen pro Kupferlage

In Tabelle 9.1 sind die relevanten Daten zur Realisierung des Transformators mit den vier verfügbaren Kernvarianten aufgeführt. Luftspaltlänge, A_L und μ_e sind dem Datenblatt entnommen. Über Gl. 5.5 ist die nötige Windungszahlen bestimmt, um mindestens eine Induktivität L von $39 \mu\text{H}$ zu erhalten. B_{max} wird mittels Gl. 5.4 berechnet und tritt beim Strom $I_{SW(max),max}$ von $1,55 \text{ A}$ auf. Mit B_{max} gleich 855 mT wäre der Kern ohne Luftspalt weit im gesättigten Bereich, so dass diese Kernvariante nicht genutzt werden sollte.

 Tab. 9.1: Kerndaten, Windungszahlen, Flussdichten, Leiterbahnbreite b und Wicklungswiderstand R der vier Kernvarianten

Luftspalt	A_L	μ_e	N_W	L	B_{max}	$B_{max,20mA}$	b	R
600 μm	63 nH	58	25	39,4 μH	172 mT	41,1 mT	97 μm	3,93 Ω
300 μm	100 nH	92	20	40,0 μH	219 mT	52,2 mT	153 μm	2,00 Ω
150 μm	160 nH	148	16	41,0 μH	281 mT	67,1 mT	222 μm	1,10 Ω
0	1300 nH	1200	6	46,8 μH	855 mT	204 mT	800 μm	0,11 Ω

$B_{max,20mA}$ ist die maximale Flussdichte im Normalbetrieb bei Belastung des Ausgangs mit einem Strom von 20 mA. Der Ausgangsstrom wird damit etwa doppelt so hoch angenommen, wie der benötigte Versorgungsstrom des Treibers, da die Effizienz des Wandlers zunächst pessimistisch mit 50 % berücksichtigt wird.

Die Leiterbahnbreite b ist unter Einhaltung der, nach der Norm geforderten, Isolationsabstände und einem Abstand von $125 \mu\text{m}$ zwischen den einzelnen Windungen berechnet. Um die 25 Windungen im Kern mit $600 \mu\text{m}$ Luftspalt unterzubringen, ist eine Leiterbahnbreite von $97 \mu\text{m}$ notwendig, die damit die minimalen Strukturbreite von $125 \mu\text{m}$ unterschreitet.

Der Widerstand R wird mit der benötigten Windungszahl, der berechneten Leiterbahnbreite und einer Kupferlagendicke von $35\ \mu\text{m}$ als Gesamtwiderstand einer Wicklung nach Gl. 5.6 bestimmt. Für die mittlere Länge einer Windung sind $30\ \text{mm}$ angesetzt.

Aus einer Simulation der Schaltung sind die Ströme $I_{pri,rms}$ gleich $71\ \text{mA}$ und $I_{sec,rms}$ gleich $74\ \text{mA}$ ermittelt. Zusammen mit der Software "Ferroxcube SFDT 2010 3.1" zur Berechnung der Kernverluste folgen für die vier Kerne die Verlustleistungen, welche in Tabelle 9.2 gezeigt sind.

Tab. 9.2: Verlustleistungsbilanz der unterschiedlichen Kerne

Luftspalt	$P_{V,Kern,25^\circ\text{C}}$	$P_{V,Cu,pri}$	$P_{V,Cu,sec}$	$P_{V,ges}$
$600\ \mu\text{m}$	$3,5\ \text{mW}$	$19,8\ \text{mW}$	$21,5\ \text{mW}$	$44,8\ \text{mW}$
$300\ \mu\text{m}$	$6,2\ \text{mW}$	$10,1\ \text{mW}$	$11,0\ \text{mW}$	$27,3\ \text{mW}$
$150\ \mu\text{m}$	$11,5\ \text{mW}$	$5,5\ \text{mW}$	$6,0\ \text{mW}$	$23,0\ \text{mW}$
$0\ \mu\text{m}$	$168\ \text{mW}$	$0,6\ \text{mW}$	$0,6\ \text{mW}$	$169,2\ \text{mW}$

Das Optimum für die geringste Verlustleistung ist somit der Kern mit $150\ \mu\text{m}$ Luftspalt und 16 Windungen, jeweils auf Primär- und Sekundärseite. Anhand der Kennlinien für das Kernmaterial 3F3 kann abgelesen werden, dass der Kern bei B_{max} gleich $281\ \text{mT}$ noch nicht in Sättigung gerät und diese Variante deshalb gut für die Realisierung geeignet ist.

9.1.7. Feedback-Widerstand

Die Ausgangsspannung kann über einen Widerstand zwischen Pin drei und vier am LT8301 eingestellt werden, welcher entsprechend dem Datenblatt [Lin14] berechnet wird:

$$R_{FB} = \frac{n \cdot (V_{out} + V_F)}{100\ \mu\text{A}} = \frac{1 \cdot (19\ \text{V} + 0,3\ \text{V})}{100\ \mu\text{A}} \approx 190\ \text{k}\Omega \quad (9.7)$$

Aufgrund einiger schwer zu berechnender Fehlerquellen wird im Datenblatt empfohlen die Ausgangsspannung mit dem berechneten R_{FB} zu messen und den Wert von R_{FB} anschließend zu korrigieren. Mit der gemessenen Ausgangsspannung $V_{out,measure}$ von $19,95\ \text{V}$ gilt:

$$R_{FB,final} = \frac{V_{out}}{V_{out,measure}} \cdot R_{FB} = \frac{19\ \text{V}}{19,95\ \text{V}} \cdot 190\ \text{k}\Omega \approx 181\ \text{k}\Omega \quad (9.8)$$

Der Wert von R_{FB} ist deshalb zu $180\text{ k}\Omega$, dem nächstgelegenen Wert aus der E12-Widerstandreihe, festgelegt.

9.1.8. Primärseitiger Snubber

Im Ausschaltmoment des Leistungs-MOSFETs des LT8301 verursacht die Streuinduktivität des Transformators Überspannung und eine Oszillation auf der Primärseite. Dieser Effekt ist im Wesentlichen aus drei Gründen unerwünscht:

1. Die Drain-Source-Strecke des LT8301 internen Transistors ist bis maximal 65 V spezifiziert. Überschreitet die Überspannungsspitze diesen Wert, so kann das IC zerstört werden.
2. Dauert die Oszillation nach dem Abschaltzeitpunkt länger als 350 ns an, wird unter Umständen die Regelung des LT8301 gestört, da die Ausgangsspannung über die Messung der primärseitigen Transformatorspannung bestimmt wird. Der Messzeitpunkt befindet sich frühestens 350 ns nach dem Abschaltzeitpunkt.
3. Die hochfrequente Oszillation führt zu Störabstrahlung der Platine.

Zur Begrenzung der Überspannungsspitze wird die Zenerdiode MM3Z33VT1G mit der Durchbruchspannung von 33 V eingesetzt. Die Spannung an Pin 4 des LT8301 wird dadurch theoretisch auf

$$24\text{ V} + 33\text{ V} = 57\text{ V} \tag{9.9}$$

begrenzt. Hinzu kommt der Spannungsabfall an der Diode SS16 von etwa $0,3\text{ V}$.

Um die Oszillation auf eine Zeitdauer von 350 ns zu begrenzen wird zusätzlich ein RC-Snubber vorgesehen. Die Dimensionierung erfolgt nach [Rid05]:

1. Zunächst wird die Streuinduktivität L_{lk} mit dem Impedanzanalysator bestimmt, indem die Sekundärseite des Transformators kurz geschlossen wird und anschließend an der Primärseite die Impedanz gemessen wird. Ihr Wert beträgt $2,4\text{ }\mu\text{H}$.
2. Mit dem Oszilloskop wird die Grundfrequenz der Oszillation $f_{R,pr}$ zu $13,7\text{ MHz}$ gemessen.
3. Anschließend wird der Snubber-Widerstand nach Gl. 9.10 und daraus entsprechend Gl. 9.11 der Snubber-Kondensator berechnet.

$$R_{snub,pri} = 2 \cdot \pi \cdot f_{R,pri} \cdot L_{lk} = 2 \cdot \pi \cdot 13,7 \text{ MHz} \cdot 2,4 \text{ } \mu\text{H} \approx 200 \text{ } \Omega \quad (9.10)$$

$$C_{snub,pri} = \frac{1}{2 \cdot \pi \cdot 13,7 \text{ MHz} \cdot 200 \text{ } \Omega} \approx 56 \text{ pF} \quad (9.11)$$

9.1.9. Sekundärseitiger Snubber

Analog zum Snubber auf der Primärseite, wird auf der Sekundärseite ein Snubber über der Diode angebracht, der die Oszillation dämpft, welche einsetzt, wenn das Magnetfeld im Transformator Kern abgebaut ist und die Diode vom leitenden in den sperrenden Zustand wechselt. Die Frequenz der Oszillation wird zu $f_{R,sec}$ gleich 17,9 MHz gemessen.

$$R_{snub,sec} = 2 \cdot \pi \cdot f_{R,sec} \cdot L_{lk} = 2 \cdot \pi \cdot 17,9 \text{ MHz} \cdot 2,4 \text{ } \mu\text{H} \approx 270 \text{ } \Omega \quad (9.12)$$

$$C_{snub,sec} = \frac{1}{2 \cdot \pi \cdot f_{R,sec} \cdot R_{snub,sec}} = \frac{1}{2 \cdot \pi \cdot 17,9 \text{ MHz} \cdot 270 \text{ } \Omega} \approx 33 \text{ pF} \quad (9.13)$$

9.1.10. Minimallast

Aufgrund des Messverfahrens, benötigt der Flyback-Converter eine minimale Belastung am Ausgang [Lin14]:

$$I_{load,min} = \frac{L_{pri} \cdot I_{SW(min),max}^2 \cdot f_{min}}{2 \cdot V_{out}} = \frac{41 \text{ } \mu\text{H} \cdot (360 \text{ mA})^2 \cdot 10,6 \text{ kHz}}{2 \cdot 19 \text{ V}} \approx 1,5 \text{ mA} \quad (9.14)$$

Die Anforderung wird bereits durch den Eigenverbrauch des nachgeschalteten Operationsverstärkers und Gate-Treibers erfüllt.

9.1.11. Sekundärseitiges Massepotential

Um die geforderten Potentiale von 15 V und -4 V für die Ansteuerung der SiC-MOSFETs zu erhalten, wird mit Hilfe einer Operationsverstärker-Schaltung (siehe Abb. 9.3) ein drittes Potential zwischen den beiden Ausgangspotentialen des Flyback-Converters erzeugt. Es erhält den Bezugswert 0 V und wird mit dem GND-Anschluss des Gate-Treibers

verbunden. Als Operationsverstärker wird der Typ LM7321 ausgewählt, da er dafür spezifiziert ist, beliebig große kapazitive Lasten an seinem Ausgang treiben zu können und trotzdem bei der Verstärkung von eins noch stabil bleibt. [Tex15a]

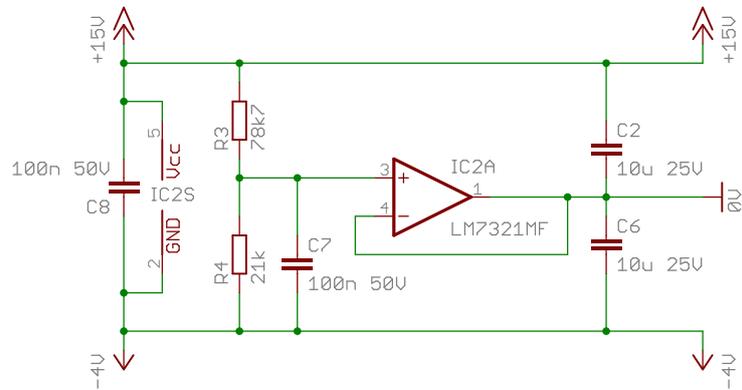


Abb. 9.3: Schaltung zur Erzeugung des Massepotentials

9.2. 22 V Hilfswandler

Ansteuerlogik, Gate-Treiber und Messschaltungen werden im Normalbetrieb aus der sekundärseitigen Spannung von 24 V versorgt. Direkt nach dem Einschalten des Wandlers ist diese Spannung jedoch unter Umständen noch nicht verfügbar, so dass eine weitere Hilfsversorgung benötigt wird, um das Anlaufen des Hauptwandlers zu ermöglichen. Ebenso können Fehlerzustände eintreten, bei denen der Hauptwandler abgeschaltet werden soll, z.B. wenn die Eingangsspannung $V_{LVDC,max}$ überschritten wird oder die Last am Ausgang zu groß wird. Auch in diesen Fällen müssen wichtige Schaltungsteile zur Steuerung des Wandlers weiterhin versorgt werden.

Für den Wandler dieser Hilfsversorgung ist die Effizienz nebensächlich, da er im Normalbetrieb des Geräts nicht aktiv ist. Essentiell sind dafür eine minimale Leistungsaufnahme im Standby-Betrieb und die Möglichkeit schnell anzulaufen, wenn der Hauptwandler abgeschaltet werden muss. Ein möglichst geringer schaltungstechnischer Aufwand ist ebenfalls wünschenswert. Aus diesen Gründen wird eine Flyback-Topologie mit dem IC UCC28730 von Texas Instruments genutzt. Mit diesem IC ist ein Standby-Verbrauch von < 5 mW realisierbar. Die Bestimmung der Ausgangsspannung zur Regelung erfolgt über die Hilfswicklung im Transformator, welche auch zur Eigenversorgung dient, so dass kein Optokoppler zwischen Sekundär- und Primärseite erforderlich ist. Mit Hilfe des ICs UCC24650 auf der Sekundärseite werden bei Lastsprüngen Impulse in den Transformator gespeist, so dass der Flyback Controller schnell aus dem Standby-Betrieb aufgeweckt werden kann und die Ausgangsspannung auch bei geringer Ausgangskapazität nur wenig absinkt.

9.2.1. Schaltplan

Der vollständige Schaltplan des Wandlers ist in Abb. 9.4 gezeigt. Die Dimensionierung der wesentlichen Schaltungsteile wird im Folgenden detaillierter erläutert.

9.2.2. Anforderungen

Ausgehend vom Leistungsbedarf im Hilfsnetz des unidirektionalen Wandlers [Sch15], wird eine Ausgangsleistung von 10 W gefordert. Die Ausgangsspannung ist zu 22 V festgelegt und liegt damit 2 V unterhalb der Nennausgangsspannung des Hauptwandlers. Der Mess- und Steuerteil des Geräts wird über eine einfach Diodenschaltung nach Abb. 9.5 versorgt. Somit wird dem Flyback Converter nur Strom entnommen, wenn die Ausgangsspannung des Hauptwandlers unterhalb von 22 V sinkt. Aufgrund der Diodenstruktur kann keine Energie zwischen dem SELV-Anschluss des Hauptwandlers und dem

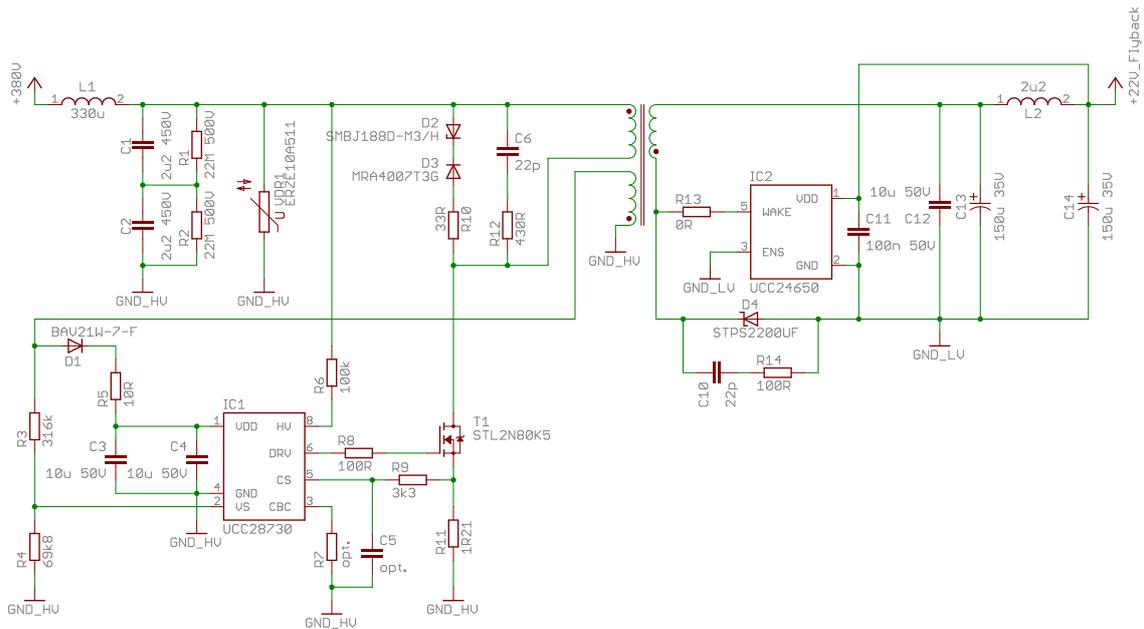


Abb. 9.4: Schaltplan des 22 V Hilfswandlers

22 V Hilfswandler fließen. Folglich ist der Hilfswandler effektiv vor Überspannungen und Überlastung aufgrund des SELV-Netzes geschützt.

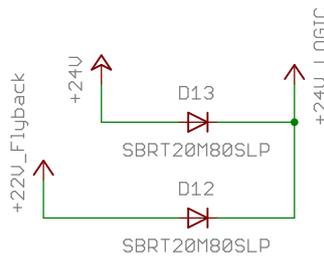


Abb. 9.5: Dioden zur Umschaltung der Hilfsversorgung

9.2.3. Transformatordimensionierung

Die Empfehlungen des Datenblatts zur Berechnung von Wicklungsverhältnis und Primärinduktivität sind darauf ausgelegt die Einschaltzeiten des Transistors T1 auf der Primärseite und der Diode auf der Sekundärseite zu maximieren und damit den Kern optimal auszunutzen, sowie die Spitzenströme in den Bauteilen zu minimieren. Die berechnete Primärinduktivität liegt allerdings im zweistelligen mH-Bereich und ist aufgrund der damit verbundenen hohen Windungszahlen in Planartechnik nur mit unverhältnismäßig großen Kernen oder einer hohen Kupferlagenzahl realisierbar. Außerdem ist die Spannungsbelastung des Transistors T1 wegen eines großen Übersetzungsverhältnisses des Transformators zu groß.

Da die Effizienz nicht im Vordergrund steht, ist der Transformator nach dem folgenden Ansatz entworfen.

9.2.4. Minimale Einschaltzeit $t_{on(min)}$

Um das IC gegen Einschaltstromspitzen des MOSFETs unempfindlich zu machen, wird die Strommessung nach dem Einschalten des Transistors für bis zu 280 ns deaktiviert [Tex15b]. Da der Tastgrad des Transistors über den Spitzenstrom geregelt wird, entspricht diese Zeit der minimalen erforderlichen Einschaltdauer. Nach [Tex15b] gilt:

$$t_{on(min)} = \frac{L_{pri} \cdot I_{pp(max)}}{V_{LVDC,max} \cdot K_{AM}} > 280 \text{ ns} \quad (9.15)$$

Mit der Primärinduktivität L_{pri} , dem Spitzenstrom $I_{pp(max)}$ und dem Grad der Amplitudenmodulation des Spitzenstroms K_{AM} von 3,2.

Der Zusammenhang zwischen L_{pri} und $I_{pp(max)}$, wird durch die folgende Formel hergestellt:

$$L_{pri} = \frac{2 \cdot (V_{out} + V_F) \cdot I_{out,max}}{I_{pp(max)}^2 \cdot f_{max} \cdot \eta_{Tr}} \quad (9.16)$$

Mittels der Gleichungen 9.15 und 9.16 kann nun ein Wert für die mindestens erforderliche Primärinduktivität $L_{pri,min}$ bestimmt werden.

Mit der Ausgangsspannung V_{out} von 22 V, der Diodenflussspannung V_F von etwa 0,7 V, dem maximalen Ausgangsstrom $I_{out,max}$ von $\frac{10 \text{ W}}{22 \text{ V}}$ also etwa 0,45 A, der maximalen Schaltfrequenz f_{max} von 76 kHz und einer angenommenen Transformatoreffizienz η_{Tr} von 0,9, ergibt sich eine mindestens erforderliche Primärinduktivität $L_{pri,min}$ von:

$$\begin{aligned} L_{pri,min} &= \frac{t_{on(min)}^2 \cdot V_{LVDC,max}^2 \cdot f_{max} \cdot \eta_{Tr} \cdot K_{AM}^2}{2 \cdot (V_{out} + V_F) \cdot I_{out,max}} \\ &= \frac{(280 \text{ ns})^2 \cdot (400 \text{ V})^2 \cdot 76 \text{ kHz} \cdot 0,9 \cdot 3,2^2}{2 \cdot (22 \text{ V} + 0,7 \text{ V}) \cdot 0,45 \text{ A}} \approx 430 \text{ } \mu\text{H} \end{aligned} \quad (9.17)$$

9.2.5. Auswahl des Kerns

Analog zum Kapitel 9.1.2 werden verschiedene E-Kerne für planare Transformatorbauform von Ferroxcube untersucht. Der kleinste Kern, mit dem $L_{pri,min}$ realisiert werden

kann und gleichzeitig die Sättigungsflussdichte des Kernmaterials beim zugehörigen Spitzenstrom $I_{pp(max)}$ nicht überschritten wird, hat die Bauform E22/6/16/R.

Es wird die Variante mit der Luftspaltlänge von 160 μm und dem Kernmaterial 3C90 ausgewählt [Fer08b]. Tabelle 9.3 fasst die damit berechneten Daten zusammen.

Tab. 9.3: Zusammenfassung der Kern- und Wicklungsdaten

Luftspalt	A_L	μ_e	l_e	N_W	L_{pri}	$I_{pp(max)}$	B_{max}	$t_{on(min)}$
160 μm	630 nH	166	26,1 mm	36	816 μH	605 mA	174 mT	386 ns

9.2.6. Wicklungsverhältnis

Beim Flyback Converter wird der Spitzenstrom $I_{pp(max)}$ mit dem Wicklungsverhältnis n auf die Sekundärseite übersetzt. Um die Strombelastung der sekundärseitigen Diode klein zu halten ist deshalb ein niedriger Wert für n wünschenswert. Dies führt auch zu einer geringen Spannungsbelastung der Drain-Source-Strecke des MOSFETs, die nach der folgenden Formel 9.18 berechnet wird [Tex15b]:

$$V_{DS,pk} = V_{LVDC,max} + (V_{out} + V_F) \cdot n + V_{leakage,pri} \quad (9.18)$$

Dem gegenüber steigt allerdings bei niedrigem n die Anforderung an die Sperrspannung V_{rev} der Diode auf der Sekundärseite:

$$V_{rev} = \frac{V_{LVDC,max}}{n} + V_{out} + V_{leakage,sec} \quad (9.19)$$

Als Kompromiss wird der Wert n gleich vier gewählt, womit für V_{rev} gilt:

$$V_{rev} = \frac{400 \text{ V}}{4} + 22 \text{ V} + V_{leakage,sec} = 122 \text{ V} + V_{leakage,sec} \quad (9.20)$$

Schottkydioden mit einer Sperrspannung von 200 V sind noch gut erhältlich, so dass $V_{leakage,sec}$ bis zu 78 V betragen darf. Es wird die Diode STPS2200UF von STM eingesetzt.

Die Spannungsspitze am MOSFET auf der Primärseite hat den Wert:

$$V_{DS,pk} = 400 \text{ V} + (22 \text{ V} + 0,7 \text{ V}) \cdot 4 + V_{leakage,pri} = 490,8 \text{ V} + V_{leakage,pri} \quad (9.21)$$

Zum Einsatz kommt der MOSFET STL2N80K5 von STM, seine Drain-Source-Spannung ist für 800 V spezifiziert.

Mit dem festgelegten Wicklungsverhältnis muss die Demagnetisierungszeit $t_{dmag(min)}$ des Transformators geprüft werden, welche laut Datenblatt mindestens $1,2 \mu\text{s}$ lang sein soll:

$$t_{dmag(min)} = \frac{t_{on(min)} \cdot V_{LVDC,max}}{n \cdot (V_{out} + V_F)} = \frac{386 \text{ ns} \cdot 400 \text{ V}}{4 \cdot (22 \text{ V} + 0,7 \text{ V})} \approx 1,7 \mu\text{s} > 1,2 \mu\text{s} \quad (9.22)$$

Das IC UCC28730 wechselt ab einem bestimmten Ausgangsstrom des Flyback-Converters in einen Regelungsmodus, in dem der Ausgangsstrom konstant gehalten wird. In diesem Modus wird das Verhältnis $\frac{t_{dmag}}{T}$ auf den Wert 0,432 geregelt. Die Strombegrenzung wird hier nicht benötigt, allerdings muss geprüft werden, ob $t_{dmag(max)}$ bei der maximalen Ausgangsleistung den Wert

$$0,432 \cdot T = 0,432 \cdot \frac{1}{76 \text{ kHz}} \approx 5,68 \mu\text{s} \quad (9.23)$$

nicht überschreitet. Kann diese Forderung nicht eingehalten werden, so wird die Strombegrenzung bereits vor dem Erreichen der Maximalleistung aktiviert.

Die maximale Einschaltdauer des MOSFETs beträgt:

$$t_{on(max)} = \frac{L_{pri} \cdot I_{pp(max)}}{V_{LVDC,max}} = \frac{816 \mu\text{H} \cdot 605 \text{ mA}}{400 \text{ V}} \approx 1,23 \mu\text{s} \quad (9.24)$$

Das Maximum der Demagnetisierungszeit berechnet sich daraus zu:

$$t_{dmag(max)} = \frac{t_{on(max)} \cdot V_{LVDC,max}}{n \cdot (V_{out} + V_F)} = \frac{1,23 \mu\text{s} \cdot 400 \text{ V}}{4 \cdot (22 \text{ V} + 0,7 \text{ V})} \approx 5,42 \mu\text{s} < 5,68 \mu\text{s} \quad (9.25)$$

9.2.7. Verlustleistung

Zur Berechnung der Leitverluste werden die Effektivwerte I_{rms} der dreieckförmigen Ströme auf Primär- und Sekundärseite über die nachfolgende Formel bestimmt [PBM09]:

$$I_{rms} = \frac{I_{pp}}{\sqrt{3}} \sqrt{\frac{t_{ramp}}{T}} \quad (9.26)$$

Mit dem Spitzenstrom I_{pp} , der Dauer des Stromanstiegs t_{ramp} und der Periodendauer T gleich $\frac{1}{f}$.

Der Effektivstrom durch die Primärwicklung bei maximaler Ausgangsleistung ist damit:

$$I_{pri,rms} = \frac{I_{pp(max)}}{\sqrt{3}} \sqrt{t_{on(max)} \cdot f_{max}} = \frac{605 \text{ mA}}{\sqrt{3}} \sqrt{1,23 \mu\text{s} \cdot 76 \text{ kHz}} \approx 107 \text{ mA} \quad (9.27)$$

Auf der Sekundärseite gilt:

$$I_{pp(max),sec} = I_{pp(max)} \cdot n = 2,42 \text{ A} \quad (9.28)$$

$$I_{sec,rms} = \frac{2,42 \text{ A}}{\sqrt{3}} \sqrt{5,42 \mu\text{s} \cdot 76 \text{ kHz}} \approx 897 \text{ mA} \quad (9.29)$$

Die Methoden und Formeln zur Ermittlung der Verlustleistungen sind bereits in Kapitel 9.1.2 erläutert, weshalb in der folgenden Tabelle 9.4 nur die Ergebnisse für den Konverter der Hilfsversorgung zusammengefasst sind:

Tab. 9.4: Wicklungswiderstände und Verlustleistungen

$R_{DC,pri}$	$R_{DC,sec}$	$P_{V,Cu,pri}$	$P_{V,Cu,sec}$	$P_{V,Kern,25^\circ\text{C}}$	$P_{V,MOSFET}$	$P_{V,Schottky,sec}$
$9,67 \Omega^1$	$0,82 \Omega^2$	111 mW	660 mW	378 mW	52 mW^3	583 mW^4

¹ Leiterbahnbreite $b_{pri} = 125 \mu\text{m}$, mittlere Windungslänge $l_W = 66 \text{ mm}$

² $b_{sec} = 370 \mu\text{m}$

³ $= R_{DS(on)} \cdot I_{pri,rms}^2$, $R_{DS(on)} = 4,5 \Omega$

⁴ $= V_F \cdot I_{sec,rms}^2$, $V_F = 0,65 \text{ V}$

Die Gesamtverluste bei Maximalbelastung betragen folglich circa 1,8 W, womit sich ein theoretischer Wirkungsgrad von

$$\eta = \frac{10 \text{ W}}{10 \text{ W} + 1,8 \text{ W}} \approx 85 \% \quad (9.30)$$

ergibt. Dabei sind allerdings, unter anderem, noch keine Schaltverluste berücksichtigt, so dass der Wirkungsgrad in der Praxis niedriger zu erwarten ist.

9.2.8. Auslegung der Snubber

Zum Schutz der Drain-Source-Strecke von T1 ist eine Klemmschaltung bestehend aus D2, D3 und R10 realisiert. Die Zenerdiode D2 besitzt eine Klemmspannung von 212 V bei einem Strom von 1 mA, die auf bis zu 301 V beim spezifizierten Maximalstrom von 2,03 A ansteigen kann [Vis15]. R10 ist aus der Referenzschaltung von Texas Instruments [Tex14b] übernommen und sorgt für ein günstigeres EMV-Verhalten, indem die Flanken der Überspannungsspitze im zeitlichen Verlauf weniger abrupt abknicken, sobald die Zenerdiode zu leiten beginnt.

Zusätzlich sind die RC-Glieder C6/R12 und C10/R14 in die Schaltung eingefügt, um die Schwingungen in der Drain-Source-Spannung des Transistors T1 $V_{DS,T1}$ bzw. der Sekundärspannung des Transformators V_{sec} zu dämpfen. Die Bauteilwerte werden initial entsprechend dem Verfahren in Kap. 9.1.2 berechnet:

$$f_{R,pri} = 3,61 \text{ MHz} \quad (9.31)$$

$$f_{R,sec} = 14,3 \text{ MHz} \quad (9.32)$$

$$R_{snub,pri} = 2 \cdot \pi \cdot f_{R,pri} \cdot L_{lk} = 2 \cdot \pi \cdot 3,61 \text{ MHz} \cdot 18,6 \mu\text{H} \approx 430 \Omega \quad (9.33)$$

$$R_{snub,sec} = 2 \cdot \pi \cdot f_{R,sec} \cdot L_{lk} = 2 \cdot \pi \cdot 14,3 \text{ MHz} \cdot \frac{18,6 \mu\text{H}}{16} \approx 100 \Omega \quad (9.34)$$

$$C_{snub,pri} = \frac{1}{2 \cdot \pi \cdot f_{R,pri} \cdot R_{snub,pri}} = \frac{1}{2 \cdot \pi \cdot 3,61 \text{ MHz} \cdot 430 \Omega} \approx 100 \text{ pF} \quad (9.35)$$

$$C_{snub,sec} = \frac{1}{2 \cdot \pi \cdot f_{R,sec} \cdot R_{snub,sec}} = \frac{1}{2 \cdot \pi \cdot 14,3 \text{ MHz} \cdot 100 \Omega} \approx 110 \text{ pF} \quad (9.36)$$

Mit dieser Dimensionierung sind die Verlustleistungen in den RC-Snubbern allerdings zu groß für den praktischen Einsatz. In jeder Schaltperiode werden die Snubber-Kondensatoren näherungsweise vollständig auf die anliegende Spannung geladen und entladen. Bei diesem Vorgang wird der doppelte Wert der, im Kondensator, gespeicherten Energie in den Snubber-Widerständen in Wärme umgesetzt, d.h. die Verlustleistung hängt fast ausschließlich vom Wert der Kondensatoren ab. Als Kompromiss wird

$$C_{snub,pri} = C_{snub,sec} = 22 \text{ pF} \quad (9.37)$$

gewählt. Die Qualität der Dämpfung ist dadurch erheblich eingeschränkt, allerdings ist der Wandler auch komplett ohne RC-Snubber funktionsfähig. Die optimalen Bauteilwerte für die RC-Snubber können nur mit EMV-Messungen gefunden werden, welche im Rahmen dieser Arbeit nicht durchgeführt werden.

10. Aufbau des DC/DC-Wandlers

10.1. Layouts

Die nachfolgenden Abbildungen zeigen die Layouts aller Leiterplatten des gesamten Wandlers. Leistungsplatine, Planartransformator und Planardrossel sind als sechs lagige Platinen mit jeweils $105\ \mu\text{m}$ Kupferlagenstärke gefertigt. Für die restlichen Leiterplatten ist ein kostengünstiger Aufbau mit vier $35\ \mu\text{m}$ Kupferlagen gewählt.

10.1.1. Leistungsplatine

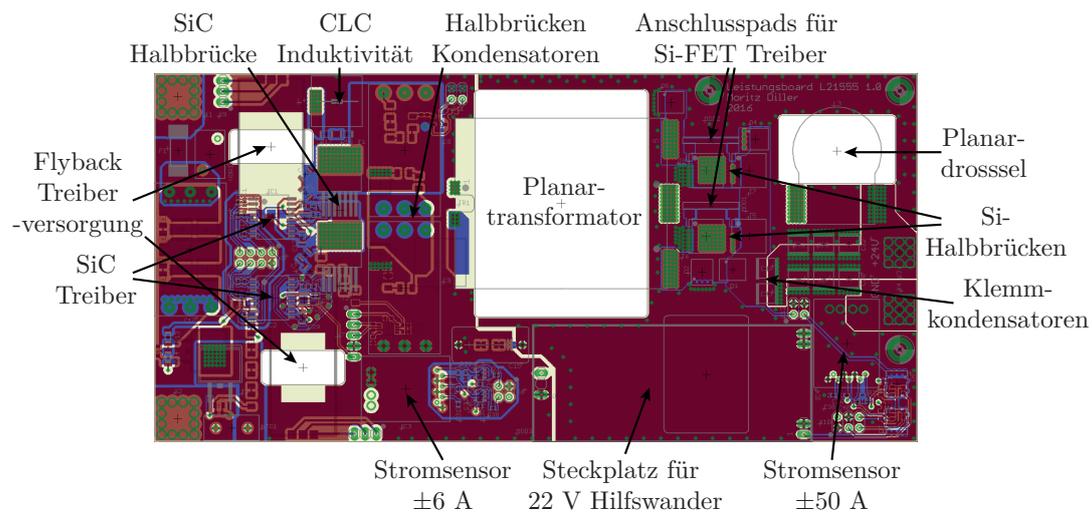


Abb. 10.1: Layout der Leistungsplatine

Beim Entwurf der Leistungsplatine aus Abb. 10.1 wird darauf geachtet die parasitäre Induktivitäten der Leiterbahnen zu minimieren, insbesondere auf der Sekundärseite, da hier die größten Stromstärken auftreten. Außerdem wird versucht das vorhandene Kupfer auf der Sekundärseite möglichst gut auszunutzen, um die Leitungsverluste gering zu halten. Problematisch ist hierbei die Unterbringung der Treiberschaltungen der sekundärseitigen Halbrücken, weshalb diese auf separaten Platinen realisiert sind, siehe Abb. 10.2.

Die Kontaktierung zwischen den Platinen erfolgt über SMD-Pads, welche im 90° -Winkel zueinander stehend, miteinander verlötet werden. Die Pads auf der Leistungsplatine sind direkt neben den MOSFETs angebracht, so dass die parasitäre Induktivität im Gate-Ansteuerkreis niedrig bleibt. Bei dieser Lösung erweist es sich auch als sehr vorteilhaft, dass die Strukturbreiten mit $125\ \mu\text{m}$ auf der Treiberplatine gegenüber den minimalen Breiten von $300\ \mu\text{m}$ der Leistungsplatine deutlich kleiner sind und folglich die Treiberschaltung wesentlich kompakter angeordnet werden kann.

Auf der Primärseite sind die fließenden Ströme vergleichsweise gering, so dass hier mit schmälere Leiterbahnen gearbeitet werden kann. Wegen des dadurch verfügbaren Platzes sind die Treiber der SiC-MOSFETs auf der Leistungsplatine platziert. Für die Flyback Converter zur Versorgung der SiC-Treiber (Abb. 10.3) sind auf der Unterseite der Leistungsplatine Pads vorgesehen und die nötigen Flächen von Bauelementen frei gehalten, so dass die Platinen als SMD-Modul aufgelötet werden können.

10.1.2. Si-MOSFET Treiber

Das Layout der Platine für die Si-MOSFET Treiber ist in Abb. 10.2 dargestellt.

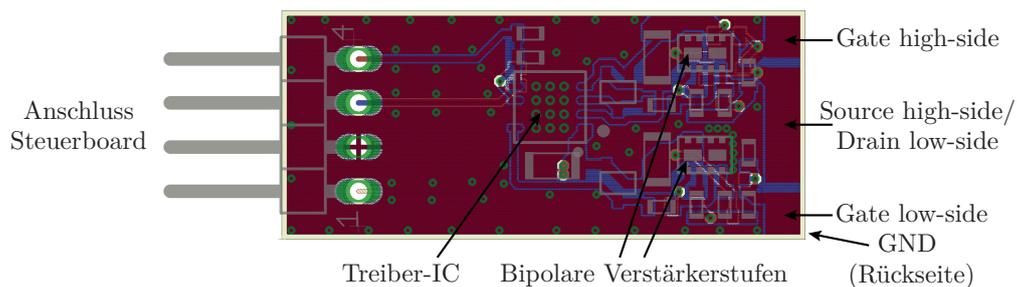


Abb. 10.2: Treiberplatine für Si-MOSFET Halbbrücke

10.1.3. SiC-MOSFET Treiberversorgung

Für die Versorgung der SiC-MOSFET Treiber kommt eine Platine mit dem Layout nach Abb. 10.3 zum Einsatz.

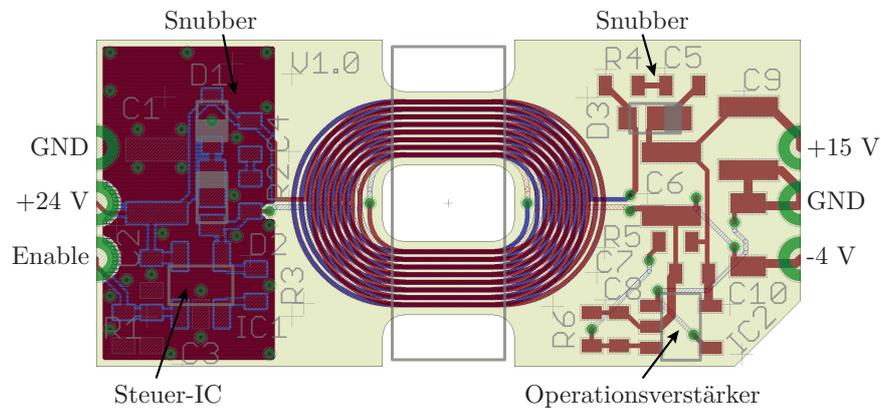


Abb. 10.3: Flyback Hilfswandler für SiC-Treiberversorgung

Der Aufbau des Leistungsteils und der Treiberversorgung auf separaten Leiterplatten ist aus zwei Gründen sinnvoll:

1. Die kleinere Strukturbreite wird für den kompakten Aufbau des Transformators benötigt.
2. Es ist dadurch leicht möglich die Hilfswandler gegen Alternativen auszutauschen, ohne eine neue teure Leistungsplatine ordern zu müssen.

10.1.4. Transformator und Drossel

Planartransformator und -drossel sind in folgender Abb. 10.4 gezeigt.

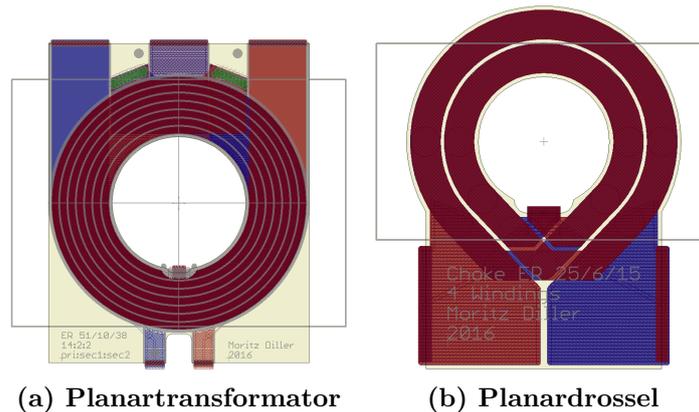


Abb. 10.4: Induktive Komponenten

An den Anschlüssen beider Platinen sind die Seitenkanten metallisiert, so dass die gestapelten Leiterplatten einfach mit angelöteten Kupferblechen verbunden werden können. Die 0,5 mm dicken Bleche werden anschließend an die Pads auf der Leistungsplatine gelötet.

Innerhalb der Windungen ist ebenfalls eine metallisierte Seitenkanten, die beim Planartransformator die Serienschaltung der Primärwicklung auf zwei Lagen verbindet und bei der Drossel die obersten drei Lagen mit den drei untersten verschaltet. Zur Erhöhung der Strombelastbarkeit sind auch hier Kupferbleche aufgelötet.

10.1.5. Steuerboard

Das Steuerboard des Wandlers ist in Abb. 10.5 mit einigen wesentlichen Elementen beschrieben. Die Außenkontur der Platine ist an der Leistungsplatine orientiert, weshalb die Packungsdichte der Bauelemente relativ gering ist. Dafür können die Schaltungsteile, welche mit der Leistungsplatine verbunden sind, mit Stiftheisten kontaktiert werden, ohne lange Leiterbahnen auf der Leistungsplatine verlegen zu müssen.

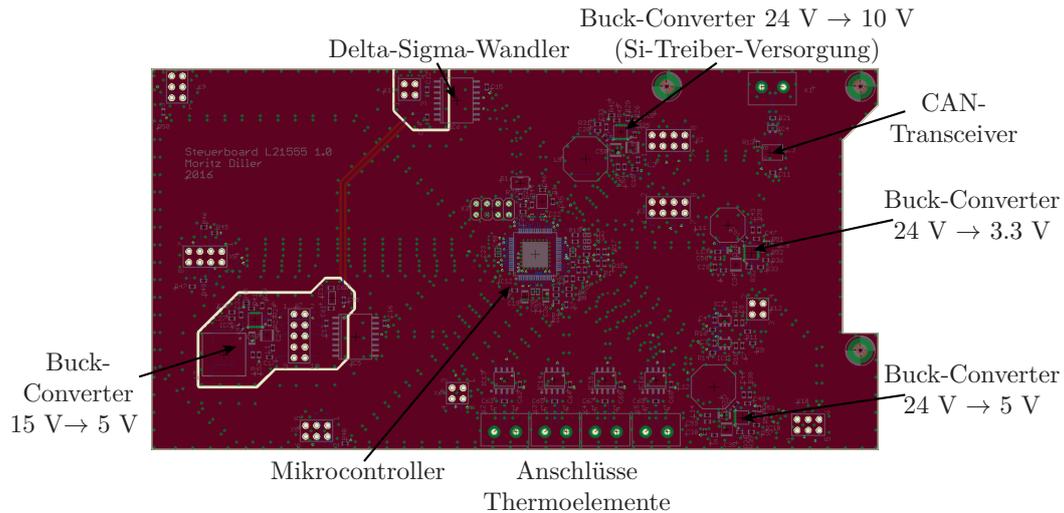


Abb. 10.5: Layout der Steuerplatine

10.1.6. 22 V Hilfswandler

Als letzte benötigte Platine ist der Hilfswandler für die Logikversorgung bei nicht vorhandener 24 V Sekundärspannung, in Abb. 10.6 vorgestellt. Als Anschlüsse werden auf der Platine Stiftleisten eingebaut, welche in Buchsenleisten auf dem Leistungsboard gesteckt werden.

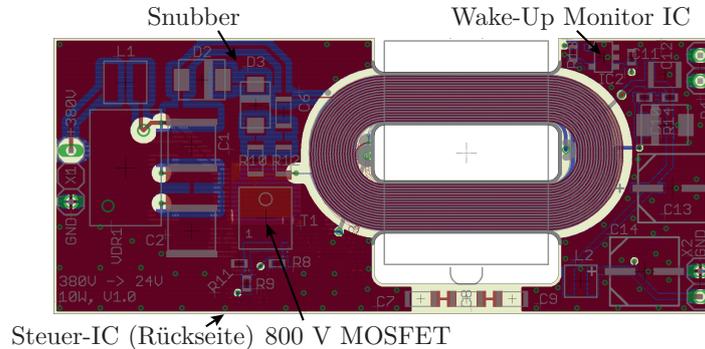


Abb. 10.6: 380 V → 22 V Hilfswandler

10.2. 3D CAD Modell

Um sicher zu stellen, dass alle Leiterplatten und Steckverbinder im realen Aufbau passend zusammengefügt werden können, wird ein 3D CAD Modell des Wandlers angefertigt. Es ist in der folgenden Abb. 10.7 gezeigt.

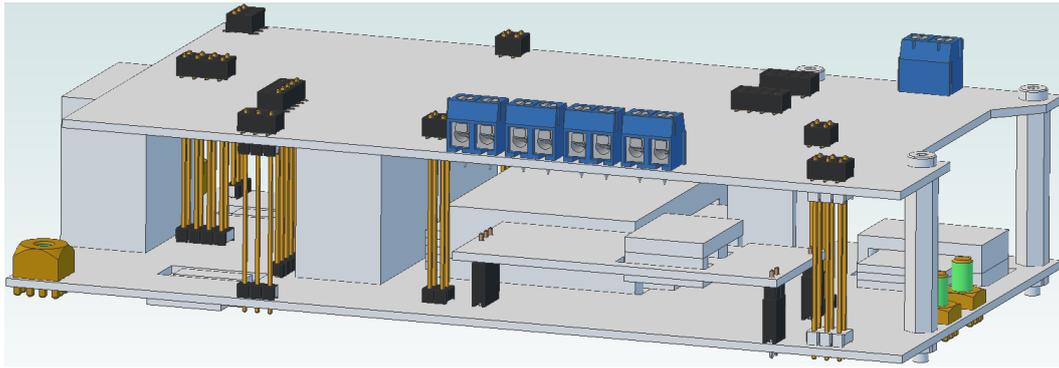


Abb. 10.7: 3D Modell des Wandlers

Präzise Modelle aller Steckverbindungen können von den Herstellern als STEP (Standard for the Exchange of Product model data [Wik16]) Dateien bezogen werden. Damit kann sowohl geprüft werden, ob die Stecker unterschiedlicher Leiterplatten zueinander passend ausgerichtet sind, als auch, ob das Bohrmuster im Layout korrekt ist.

Sehr gut geeignet ist diese Methode auch zur Prüfung von Kollisionen zwischen größeren Bauelementen, die im Layoutprogramm leicht übersehen werden können, z.B. wenn sie zwischen unterschiedlichen Platinen auftreten.

10.3. Realer Aufbau des Wandlers

Die nachfolgenden Abbildungen zeigen die bestückten Platinen des DC/DC-Wandlers.

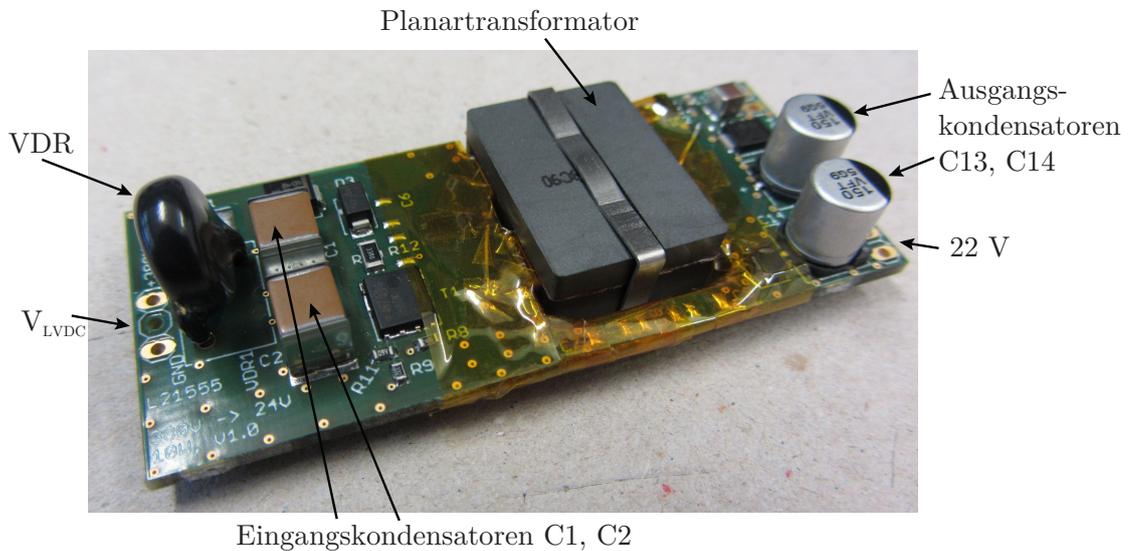


Abb. 10.8: 22 V Hilfswandler

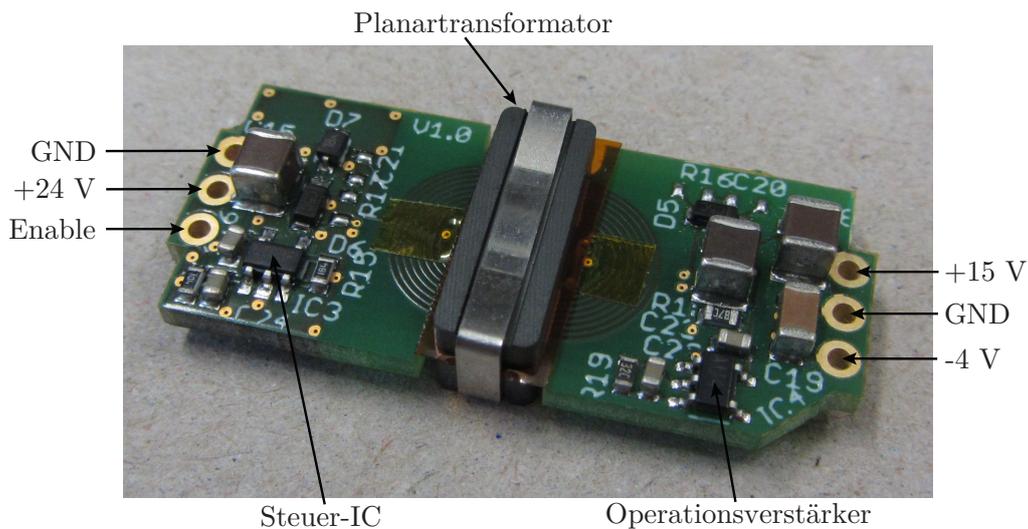


Abb. 10.9: SiC-Treiberversorgung

In Abb. 10.8 und Abb. 10.9 sind die beiden Hilfswandler gezeigt, welche auf einer Flyback-Topologie basieren. Die RC-Snubber sind in den Abbildungen noch unbestückt.

Aus Kostengründen ist die Platine in Abb. 10.9 ohne Seitenkantenmetallisierung gefertigt. Vor dem Verlöten mit der Leistungsplatine werden deshalb die Lötäugen der Anschlüsse mittig in vertikaler Schnittebene durchtrennt, um damit Pads an der Seitenkante der Platine zu erhalten.

Auf der Leistungsplatine in Abb. 10.10 sind bereits alle Hilfswandler und die induktiven Komponenten in planarer Bauweise montiert.

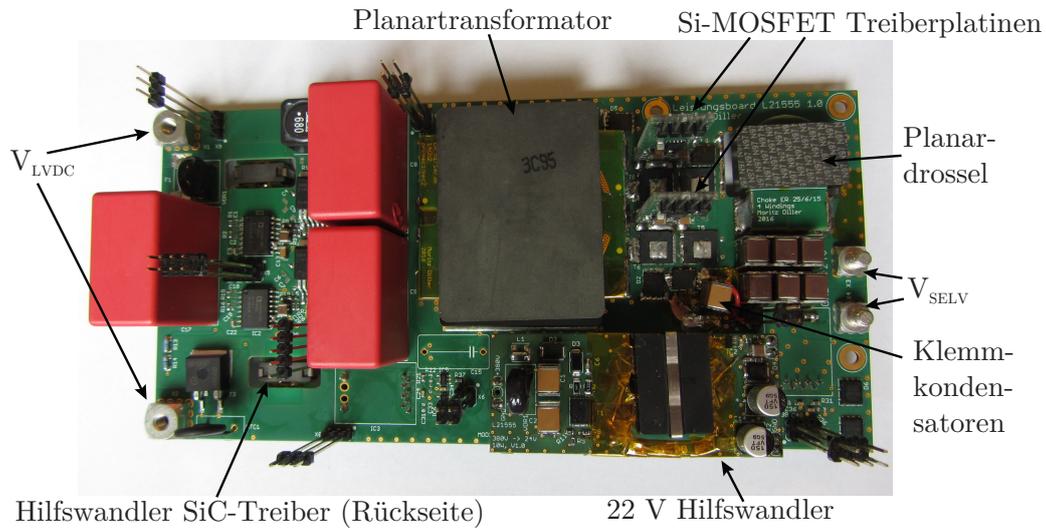


Abb. 10.10: Leistungsbord mit Hilfswandlern und Treiberplatten

Die Orientierung der Klemmkondensatoren weicht vom Layout aus Abb. 10.1 ab, da diese im ursprünglichen Entwurf anders verschaltet sind. Kapitel 11.3.5 legt den Unterschied zwischen beiden Varianten dar.

Das Steuerboard ist in Abb. 10.11 wiedergegeben.

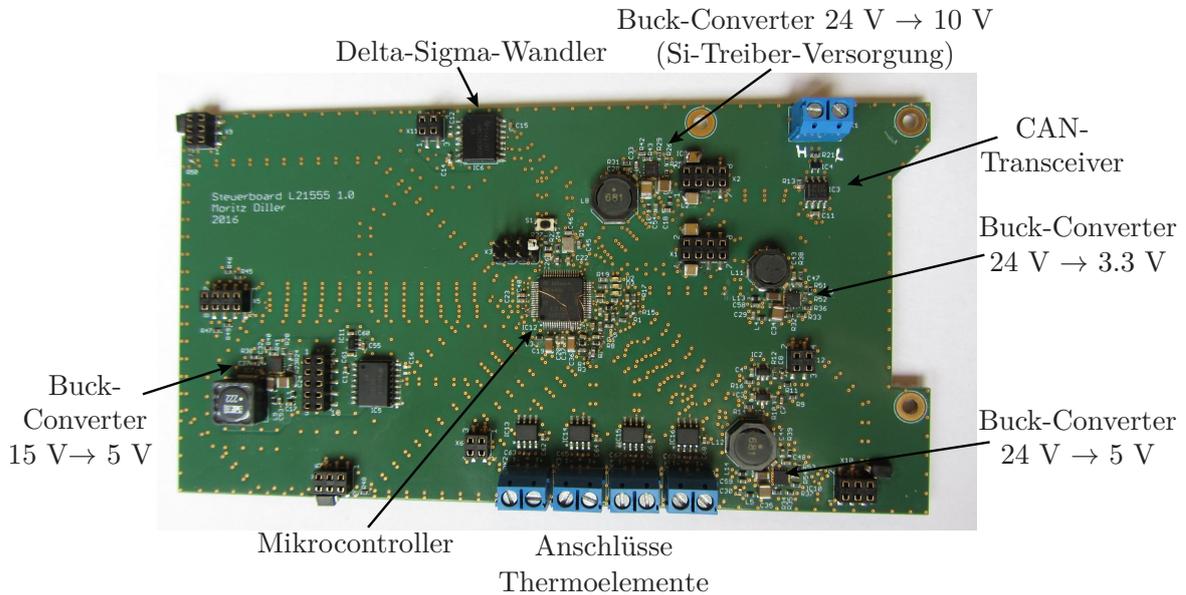


Abb. 10.11: Steuerboard

11. Messergebnisse

11.1. SiC Gate-Treiber Versorgung

11.1.1. Planartransformator

Die in der Auslegung berechneten und in der Praxis gemessenen Eigenschaften des Planartransformators sind in Tabelle 11.1 zusammengefasst. Die Wicklungswiderstände $R_{DC,pri}$ und $R_{DC,sec}$ sind mit dem Milliohmometer M10 von SEFELEC GmbH vermessen. Die Induktivitäten und C_{PS} sind mit dem Impedanzanalysator 4294A von Hewlett-Packard bestimmt.

Tab. 11.1: Eigenschaften des Planartransformators

	L_{pri}	L_{sec}	$L_{lk,pri}$	C_{PS}	$R_{DC,pri}$	$R_{DC,sec}$
berechnet	41 μH	41 μH	-	2,9 pF ¹	1,1 Ω	1,1 Ω
gemessen	30,9 μH	32 μH	2,4 μH	7,1 pF	1,427 Ω	1,301 Ω

¹ Plattenkondensator zwischen den Kupferflächen auf der Leiterplatte. Kapazität zum Kern unberücksichtigt.

Die reale Primärinduktivität L_{pri} sowie die Sekundärinduktivität L_{sec} liegen deutlich unter den berechneten Werten, was auf einen zu großen Luftspalt oder Toleranzen der magnetischen Leitfähigkeit des Kerns zurückzuführen ist. Der in Gl. 9.5 bestimmte Minimalwert von 30 μH wird allerdings nicht unterschritten.

Der Anteil der Streuinduktivität gegenüber der Wicklungsinduktivität auf der Primärseite ist $\frac{2,4\mu\text{H}}{30,9\mu\text{H}} \approx 7,8\%$, für die Sekundärseite ergibt sich, nach der Transformation der Streuinduktivität, der gleiche Wert. Zur Abschätzung der Verlustleistung, wird angenommen, dass die gesamte Energie, die in jeder Schaltperiode in den Streuinduktivitäten gespeichert ist, in den Snubber-Netzwerken in Wärme umgesetzt wird. Die Streuinduktivität muss sowohl auf der Primär- als auch der Sekundärseite berücksichtigt werden. Bei Nennlast folgt daher für die Verlustleistung:

$$P_{V,lk} = 19 \text{ V} \cdot 20 \text{ mA} \cdot 7,8\% \cdot 2 \approx 59,3 \text{ mW} \quad (11.1)$$

Die gemessenen Wicklungswiderstände sind größer, als die berechneten Werte. Eine mögliche Ursache ist, dass die theoretische Berechnung unter der Annahme erfolgt, dass die Querschnitte der Leiterbahnen rechteckförmig sind. Aufgrund des Ätzprozesses sind die Kanten der Leiterbahnen allerdings nicht senkrecht, sondern schräg und der Querschnitt folglich trapezförmig. Da die Windungen fast mit der minimal fertigmöglichen Strukturbreite

produziert werden, ist davon auszugehen, dass durch die Schrägung ein nicht unerheblicher Teil des Querschnitts verloren geht und daher die Wicklungswiderstände steigen. Für die Kupferverluste folgt mit den aktualisierten Widerstandswerten:

$$\begin{aligned} P_{V,Cu} &= R_{DC,pri} \cdot I_{pri,rms}^2 + R_{DC,sec} \cdot I_{sec,rms}^2 \\ &= 1,427 \Omega \cdot (71 \text{ mA})^2 + 1,301 \Omega \cdot (74 \text{ mA})^2 \approx 14,3 \text{ mW} \end{aligned} \quad (11.2)$$

11.1.2. V_{DS} und V_{sec}

Abb. 11.1 zeigt die Spannungen im zeitlichen Verlauf zwischen Pin vier des LT8301 und GND, also die Drain-Source-Spannung des internen MOSFETs V_{DS} . In Abb. 11.2 wird die Spannung direkt an der Sekundärseite des Transformators V_{sec} wiedergegeben. In beiden Diagrammen sind die Messergebnisse jeweils mit und ohne zusätzliche RC-Glieder, berechnet in Kap. 9.1.2, dargestellt, um die Wirkung der Snubber zu validieren. Alle Werte sind bei einem Ausgangsstrom I_{out} von 20 mA aufgezeichnet.

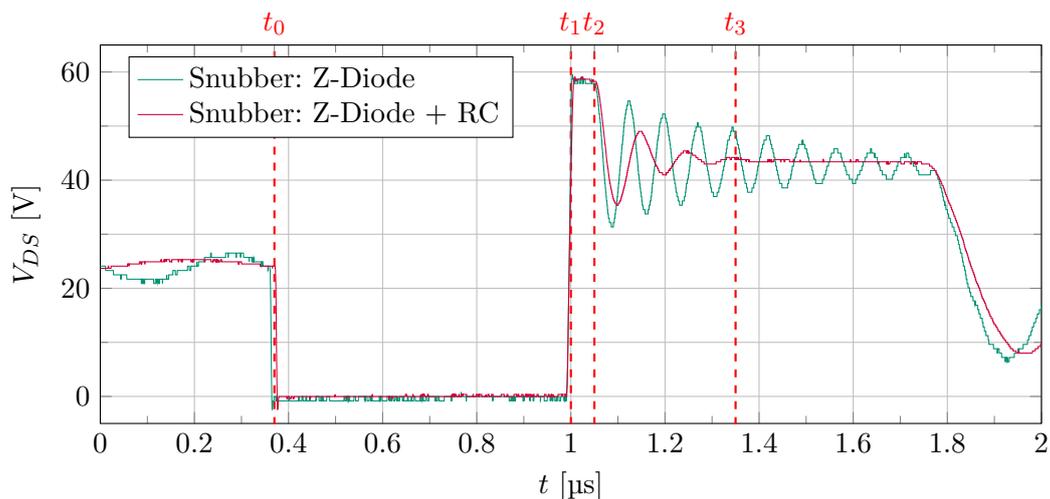


Abb. 11.1: Drain-Source-Spannung bei unterschiedlicher Snubberbeschaltung

Der Ausschaltzeitpunkt des MOSFETs ist in Abb. 11.1 bei t_1 erkennbar. Bis t_2 klemmt die Zenerdiode die Drain-Source-Spannung effektiv auf einen Wert von 58,5 V und damit unterhalb der, für das IC spezifizierten, maximalen Spannung von 65 V. Wie in Kap. 9.1.2 genannt, sollte die Schwingung der Spannung V_{DS} 350 ns nach dem Ausschaltzeitpunkt, also bei t_3 , möglichst weit abgeklungen sein, um die Spannungsmessung des LT8301 nicht zu stören. Mit RC-Snubber ist diese Forderung zufriedenstellend erfüllt. Ist hingegen nur die Zenerdiode verbaut, so liegt zu diesem Zeitpunkt weiterhin eine deutliche Schwingung vor.

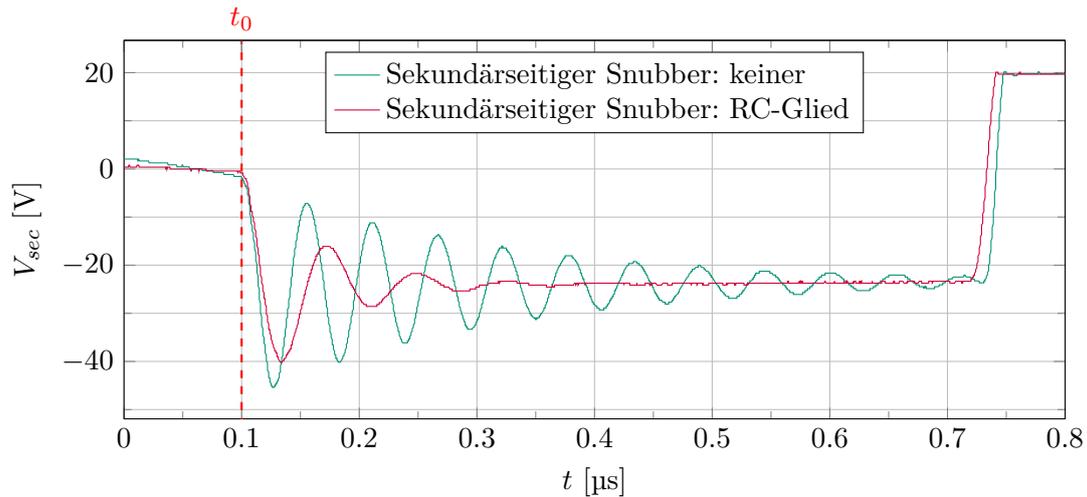


Abb. 11.2: Sekundärspannung des Transformators bei unterschiedlicher Snubberbeschaltung

Der Zeitpunkt t_0 in Abb. 11.2 entspricht dem Einschaltmoment des MOSFETs auf der Primärseite, welcher in Abb. 11.1 bei t_0 gleich $0,37$ µs zu erkennen ist. In diesem Zustand wird die Eingangsspannung des Wandlers mit dem Transformator auf die Sekundärseite übersetzt, so dass die sekundärseitige Diode gesperrt ist. Die Energie in der Streuinduktivität führt nun zu einer Schwingung in der Sekundärspannung, welche mittels eines RC-Glieds über der Diode gedämpft werden kann. Die wirkungsvolle Dämpfung ist in Abb. 11.2 gut sichtbar.

11.1.3. Ausgangsspannung

Die Stabilität der Ausgangsspannung bei unterschiedlicher statischer Belastung des Wandlers ist in Abb. 11.3 aufgezeichnet.

Obwohl V_{DS} ohne RC-Snubber auch im Messzeitpunkt des LT8301 deutlich schwingt, so hat dies keine relevante Auswirkung auf den Wert der Ausgangsspannung. Dies deutet auf eine gute Filterung der Messwerte im LT8301 hin, welche die Messfehler kompensiert.

11.1.4. Wirkungsgrad

Der Verlauf des Wirkungsgrades bei unterschiedlicher Belastung des Wandlers ist in Abb. 11.4 wiedergegeben. Beim Nennstrom I_{out} von 20 mA weist der Wandler einen akzeptablen Wirkungsgrad von etwa 75 % auf. Der Laststrom I_{out} kann bis 80 mA problemlos erhöht werden, in diesem Betriebspunkt erreichten jedoch einige Bauelemente eine Oberflächentemperatur von 80 °C, so dass der Strom nicht weiter gesteigert wird, um Schäden zu verhindern.

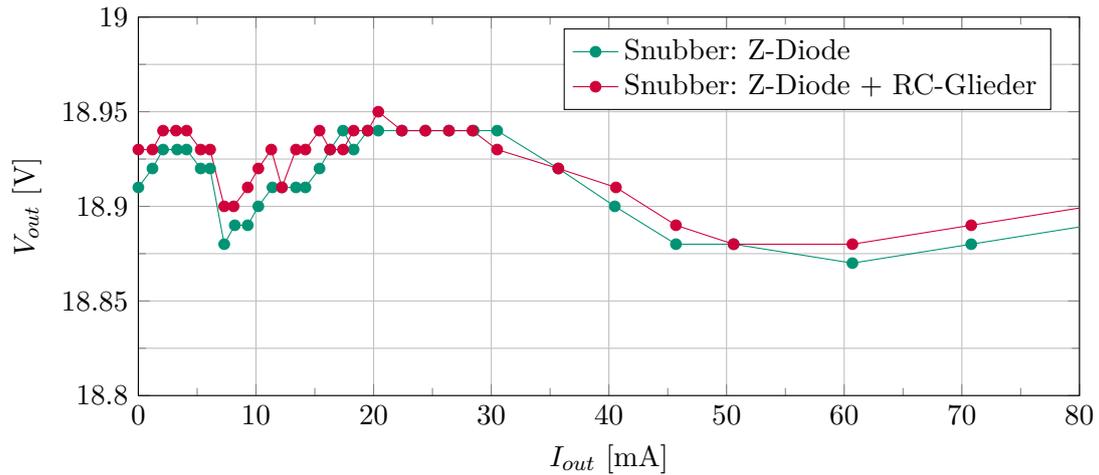


Abb. 11.3: Ausgangsspannung bei statischer resistiver Belastung

Deutlich erkennbar sind die größeren Verluste durch die zusätzlichen RC-Snubber im Bereich niedriger Lasten. Ab einem Ausgangsstrom I_{out} von 35 mA sind die beiden Kennlinien in Abb. 11.4 fast deckungsgleich. Dies kann damit begründet werden, dass die Zenerdiode aufgrund des parallel liegenden RC-Gliedes bei hohem Transformatorstrom entlastet wird und sich damit die Verlustleistung, welche im RC-Glied entsteht, teilweise kompensiert.

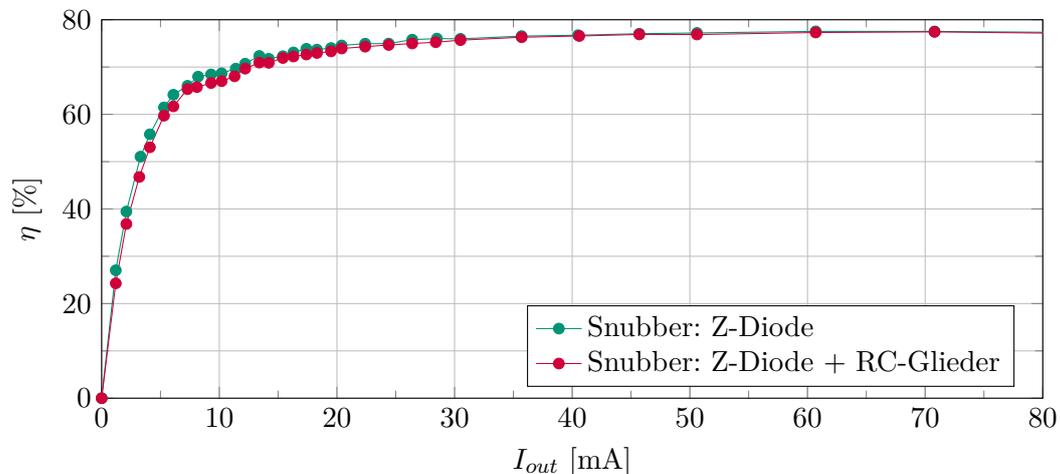


Abb. 11.4: Wirkungsgrad bei Variation des Laststroms

11.1.5. Verlustleistungsbilanz

Alle bekannten Verlustleistungen, sowie Eingangs- und Ausgangsleistung sind in Tabelle 11.2 aufgeführt.

Tab. 11.2: Leistungsbilanz

	P
Eingangsleistung	523,0 mW
Ausgangsleistung	-386,6 mW
Kupferverluste Transformator	-14,3 mW
Kernverluste Transformator	-11,5 mW
Snubberverluste	-59,3 mW
LT8301	-8,4 mW
LM7321	-18,0 mW
	24,9 mW

Die nicht zugeordnete Verlustleistung von 24,9 mW entfällt auf Komponenten und Effekte, die bisher nicht erfasst sind, wie beispielsweise Verluste in der Gleichrichterdiode auf der Sekundärseite.

11.1.6. Wärmeverteilung

Zur Überprüfung der thermischen Verhältnisse auf der Platine wird eine Aufnahme mit einer Thermographiekamera unter Maximallast erstellt, siehe Abb. 11.5. Die gesamte Platine ist mit einem Schutzlack mit der Bezeichnung URETHAN 71 der Firma CRC Industries Deutschland GmbH behandelt, um eine Oberfläche mit gleichmäßigem Emissionskoeffizienten zu erhalten.

Die Zenerdiode D1 ist deutlich als Hot-Spot identifizierbar. Dem gegenüber weisen die restlichen Bauelemente relativ geringe Oberflächentemperaturen, im Vergleich zur Temperatur der Kupferfläche der Platine, auf. Erkennbar sind der Operationsverstärker IC2 und die Gleichrichterdiode D3 auf der Sekundärseite, ihr Temperaturunterschied zur Kupferfläche ist allerdings nicht stark ausgeprägt, so dass die Verlustleistung in diesen Elementen vergleichsweise gering ist. Die Verluste im Transformator werden großflächig an die Leiterplatte abgegeben.

11.1.7. Bewertung

Die erzielten Wirkungsgrade werden für einen Wandler dieser Leistungsklasse als gut eingestuft. Für eine weitere Steigerung der Effizienz ist der Transformator das Bauelement, welches das größte Potenzial bietet. Zur Verringerung der Snubberverluste kann das Design zu einer geringeren Streuinduktivität optimiert werden. Die Möglichkeiten sind dabei allerdings beschränkt, da die Koppelkapazität zwischen Primär- und Sekundärseite gering gehalten werden muss. Insbesondere der Hilfswandler, welcher den Treiber

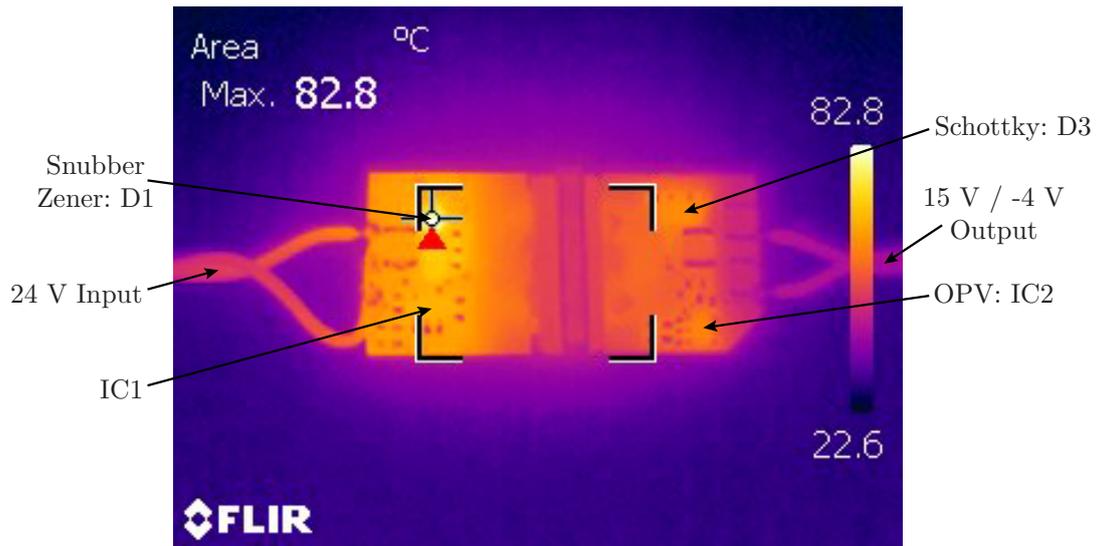


Abb. 11.5: Thermografieaufnahme bei $I_{out} = 80 \text{ mA}$

des High-Side-Leistungsschalters versorgt, ist hier kritisch, da die Sekundärspannung auf einem, um die Eingangsspannung, springenden Potential liegt.

11.2. 22 V Hilfswandler

Viele der folgenden Betrachtungen sind analog zu Kapitel 11.1 und werden deshalb in verkürzter Form wiedergegeben.

11.2.1. Planartransformator

Die Eigenschaften des Planartransformators sind in Tabelle 11.3 zusammengefasst.

Tab. 11.3: Eigenschaften des Planartransformators

	L_{pri}	L_{sec}	L_{aux}	$L_{lk,pri}$	C_{PS}	C_{PA}	$R_{DC,pri}$	$R_{DC,sec}$
berechnet	816 μH	51 μH	51 μH	-	11 pF ¹	11 pF ¹	9,67 Ω	0,82 Ω
gemessen	851,2 μH	54,1 μH	53,9 μH	18,6 μH	19,5 pF	32,0 pF	11,43 Ω	0,657 Ω

¹ Plattenkondensator zwischen den Kupferflächen auf der Leiterplatte. Kapazität zum Kern unberücksichtigt.

Der Anteil der Streuinduktivität gegenüber der Wicklungsinduktivität ist $\frac{18,6 \mu\text{H}}{851,2 \mu\text{H}}$ also ungefähr 2,2%. Bei Maximallast folgt damit für die Snubber-Verluste:

$$P_{V,lk} = 10 \text{ W} \cdot 2,2\% \cdot 2 = 440 \text{ mW} \quad (11.3)$$

Für die, mit den gemessenen Werten, berechneten Kupferverluste gilt:

$$\begin{aligned} P_{V,Cu} &= R_{DC,pri} \cdot I_{pri,rms}^2 + R_{DC,sec} \cdot I_{sec,rms}^2 \\ &= 11,43 \Omega \cdot (107 \text{ mA})^2 + 0,657 \Omega \cdot (897 \text{ mA})^2 \approx 659 \text{ mW} \end{aligned} \quad (11.4)$$

11.2.2. V_{DS} und V_{sec}

Die zeitlichen Verläufe der Spannungen der Drain-Source-Strecke von T1, sowie der Spannung an der Sekundärseite des Planartransformators sind in Abb. 11.6 und Abb. 11.7, bei unterschiedlicher Belastung des Wandlers, dargestellt.

Die maximale Spannung an T1 im Leerlauf $V_{DS,max,idle}$ von 575 V liegt noch unterhalb der Summe aus Durchbruchspannung der Zenerdiode des Snubbers V_{BR} von 212 V und der Betriebsspannung V_{LVDC} von 380 V, so dass kein Strom in das Snubber-Netzwerk fließt.

Bei Maximallast ist die, in der Streuinduktivität gespeicherte, Energie deutlich höher, so dass die Überspannung größer ist und die Zenerdiode des Snubbers nach dem Abschalten von T1 leitfähig wird. Die Spannung $V_{DS,T1}$ wird dadurch auf 650 V begrenzt.

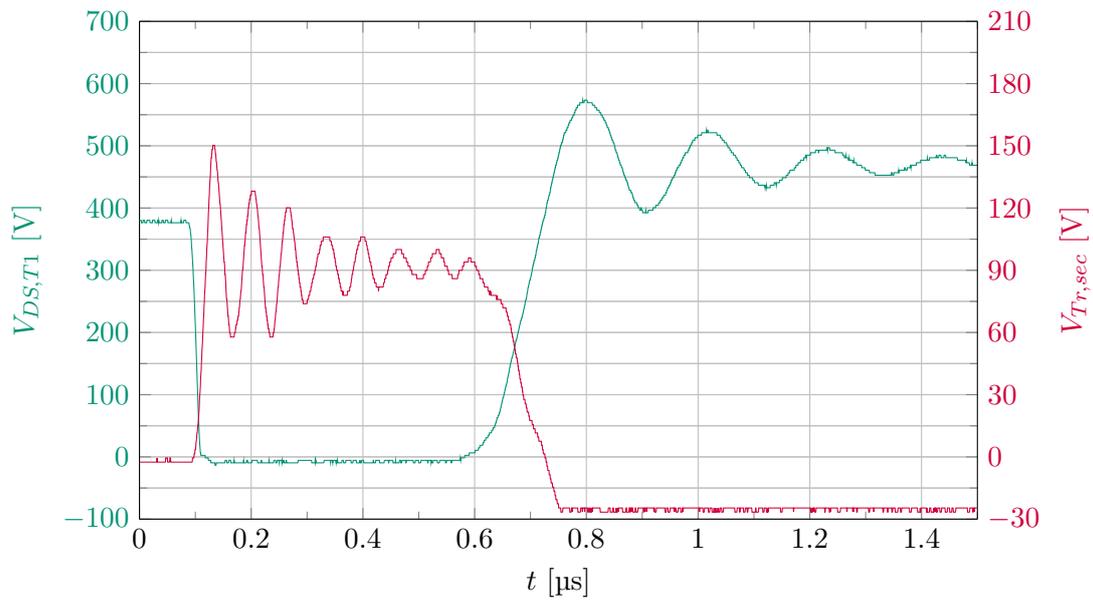


Abb. 11.6: $I_{out} = 0$, kein RC-Snubber verbaut

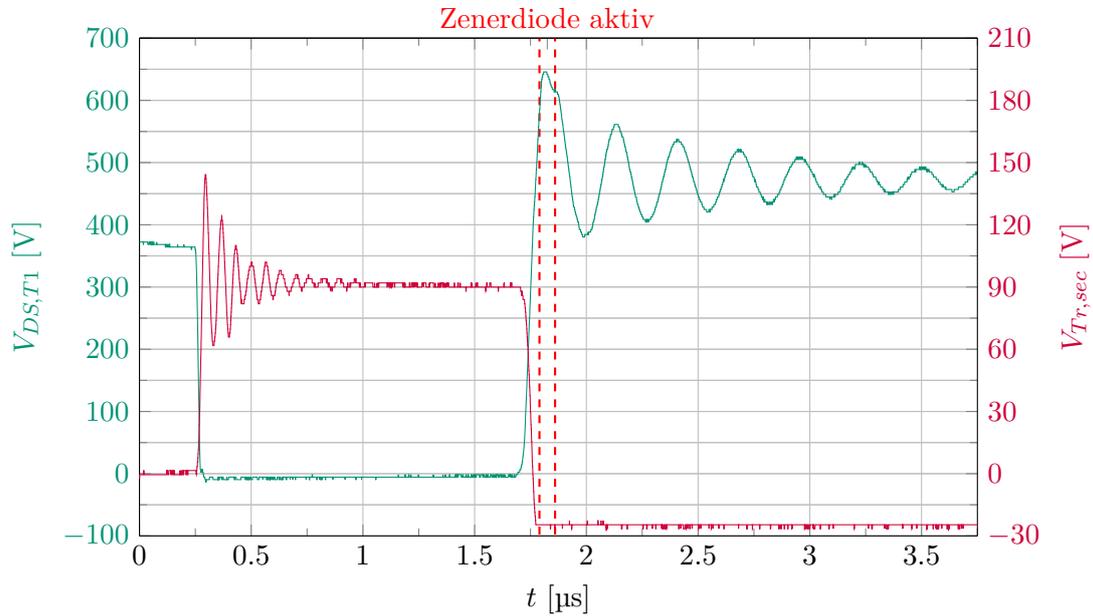


Abb. 11.7: $I_{out} = 490$ mA, kein RC-Snubber verbaut, Zenerdiode aktiv

Die spezifizierten Grenzwerte $V_{(BR)DSS}$ gleich 800 V von T1 und V_{RRM} gleich 200 V von D4 werden sowohl ohne Last, als auch bei maximalem Ausgangsstrom deutlich unterschritten. Daher ist eine weitere Beschaltung mit RC-Gliedern zur Bedämpfung der Schwingungen auf Primär- und Sekundärseite aus funktionaler Sicht nicht notwendig, kann aber aus Gründen der elektromagnetischen Verträglichkeit sinnvoll sein.

11.2.3. Ausgangsspannung

Die Ausgangsspannung bei Belastung des Wandlers mit konstantem Ausgangsstrom wird in Abb. 11.8 wiedergegeben. Bei geringer Stromentnahme von < 50 mA ist die Ausgangsspannung deutlich erhöht, falls kein RC-Snubber verbaut ist. Wie die Messung von V_{DS} gezeigt hat, ist die Zenerdiode in diesem Lastbereich nicht aktiv, so dass die Schwingung auf der Primärseite kaum gedämpft wird. Dies stört die Spannungsmessung des ICs an der Hilfswicklung.

Insgesamt funktioniert die primärseitige Regelung der Ausgangsspannung jedoch zufriedenstellend. Da alle benötigten Spannungen auf dem Steuerboard durch Buck-Converter abgeleitet werden, ist eine präzisere Spannung des 22 V Hilfswandlers nicht notwendig.

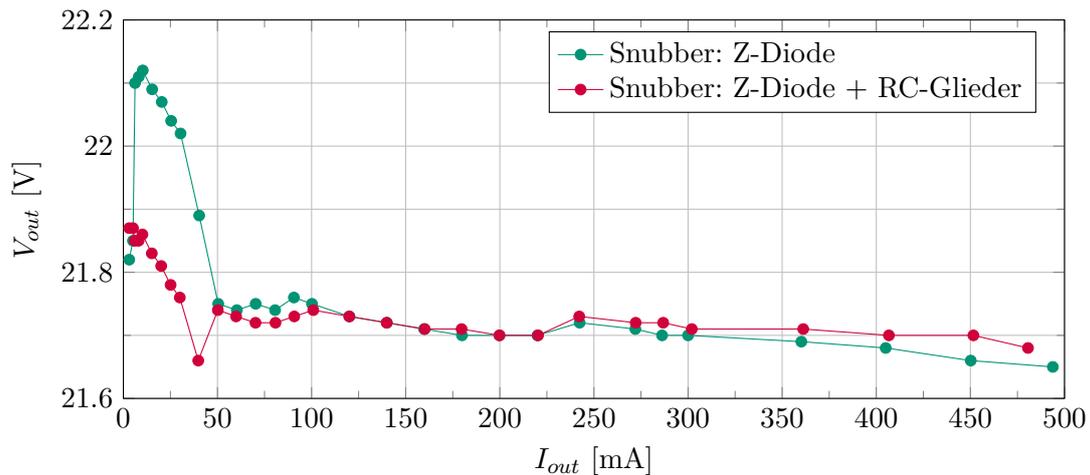


Abb. 11.8: Ausgangsspannung bei statischer resistiver Belastung

11.2.4. Lastsprung

Zum Test der Stabilität der Ausgangsspannung bei dynamischer Belastung werden Lastsprünge zwischen 0 A und 0,5 A Ausgangsstrom durch Anschluss einer aktiven Last an den Hilfswandler simuliert und Strom und Spannung messtechnisch erfasst. Die Ergebnisse werden in Abb. 11.9 und Abb. 11.10 gezeigt. Aufgrund der eingesetzten elektronischen Last, ist die Anstiegszeit des Stroms in Abb. 11.9 im Vergleich zur Schaltfrequenz

relativ gering. Deshalb kann nicht beurteilt werden, ob das Wake-Up Monitor IC auf der Sekundärseite die Regelung des ICs der Primärseite aktivierte oder letzteres auch allein stehend den Laststrom in gleicher Weise ausregelt.

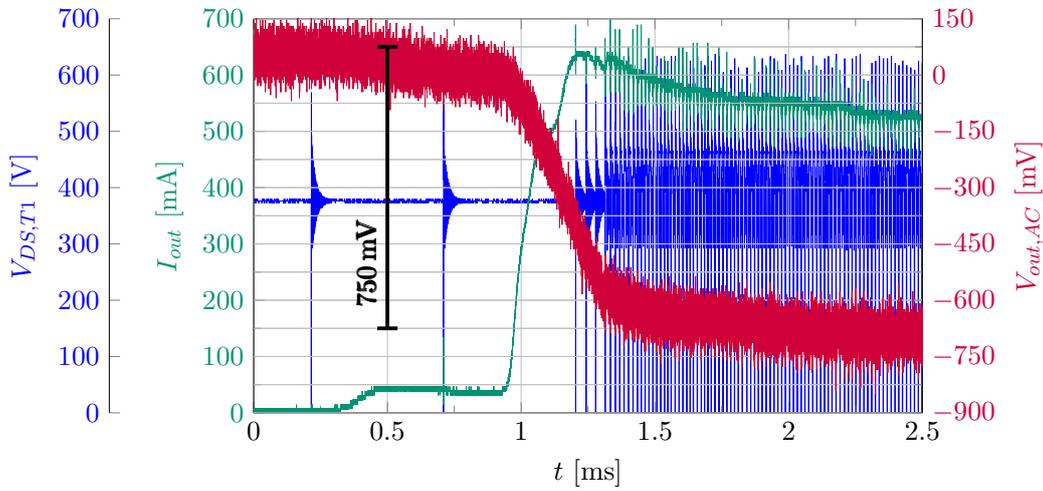


Abb. 11.9: Sprung des Ausgangstroms von 0 A auf 0,5 A

Der Spannungseinbruch beim Zuschalten der Last aus dem Standby-Betrieb beträgt circa 750 mV. Die Überspannung in Folge eines vollständigen Abschaltens der Last liegt bei etwa 400 mV. Für die Komponenten, welche am Ausgang des Wandlers angeschlossen werden, sind diese Werte unkritisch.

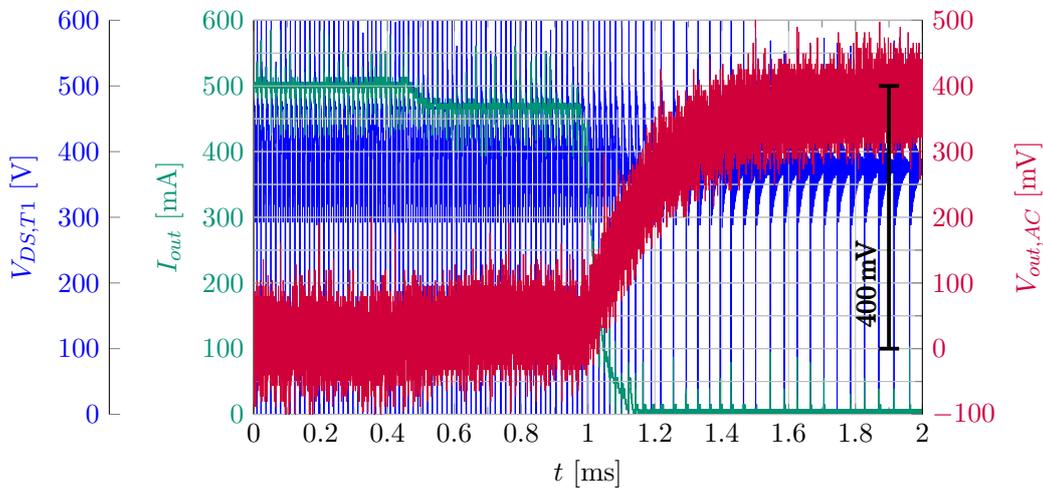


Abb. 11.10: Sprung des Ausgangstroms von 0,5 A auf 0 A

Das Rauschen in den Messungen der Ausgangsspannung ist dem Einsatz eines Differenzstastkopfs mit einer Spannungsteilung von 50:1 geschuldet und repräsentiert nicht das tatsächliche Rauschen auf der Ausgangsspannung.

11.2.5. Standby Verbrauch

Die Stromaufnahme des Wandlers ohne Last am Ausgang liegt unterhalb der Messauflösung des Multimeters von $100\ \mu\text{A}$. Der Leistungsverbrauch im Standby-Betrieb ist daher kleiner als:

$$100\ \mu\text{A} \cdot 380\ \text{V} = 38\ \text{mW} \quad (11.5)$$

11.2.6. Wirkungsgrad

Der Gesamtwirkungsgrad ist in nachstehender Abb. 11.11 gezeigt.

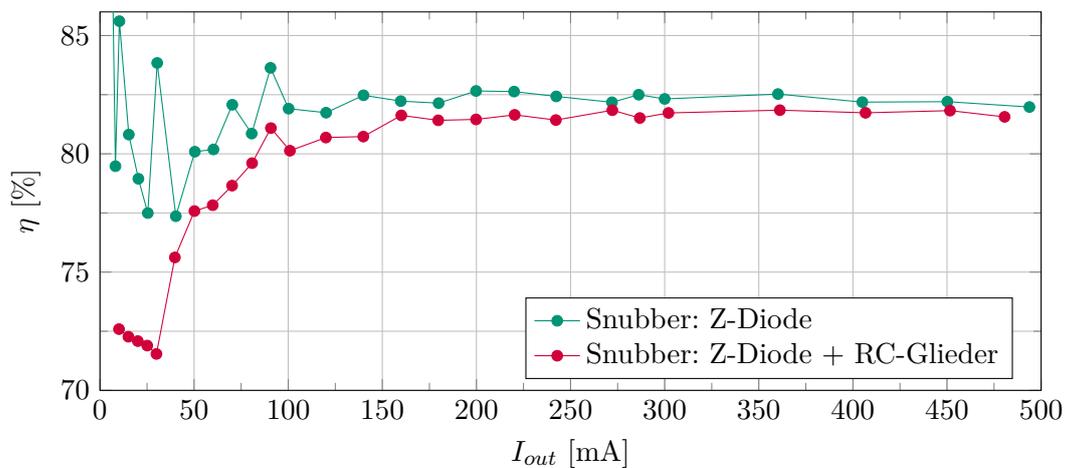


Abb. 11.11: Wirkungsgrad aufgetragen über dem Laststroms

Die Messwerte bei einem Ausgangsstrom I_{out} von weniger als 50 mA sind allerdings kritisch zu bewerten, da in diesem Bereich die primärseitige Stromaufnahme sehr gering ist und deshalb Rundungsfehler aufgrund der geringen Messauflösung deutliche Auswirkungen auf die Ergebnisse haben.

Die zusätzliche Bedämpfung durch RC-Snubber auf Primär- und Sekundärseite hat bei hohen Lasten einen geringeren negativen Einfluss auf die Wandler-effizienz, als dies zu erwarten wäre.

Aufnahmen mit einer Thermographiekamera, mit und ohne RC-Snubber, legen die Vermutung nahe, dass die Snubber-Verluste teilweise von der Zenerdiode auf den Widerstand des RC-Glieds umverteilt werden, weshalb die Gesamtverluste im oberen Leistungsbe-reich nur unwesentlich größer werden.

Bei geringem Ausgangsstrom ist der Einfluss der RC-Glieder jedoch deutlich erkennbar. In diesem Betriebsbereich sind die Überspannungen ohne RC-Snubber auf der Primärseite noch unterhalb der Durchbruchspannung der Zenerdiode, so dass alle Verluste im RC-Glied direkt in Erscheinung treten.

11.2.7. Verlustleistungsbilanz

In Tabelle 11.4 sind Eingangs- und Verlustleistungen für den Betrieb bei maximaler Last zusammengefasst.

Tab. 11.4: Leistungsbilanz

	<i>P</i>
Eingangsleistung	12,225 W
Ausgangsleistung	-10,000 W
Kupferverluste Transformator	-0,659 W
Kernverluste Transformator	-0,378 W
Snuberverluste	-0,440 W
Duchlassverluste MOSFET T1	-0,052 W
Duchlassverluste Schottkydiode D4	-0,583 W
	0,113 W

Die restliche Verlustleistung von 0,113 W wird beispielsweise durch Schaltverluste in T1 und Reverse Recovery Verluste in D4 verursacht.

11.2.8. Wärmeverteilung

In Abb. 11.12 können die Wärmequellen deutlich identifiziert werden, welche infolge der Verluste in den Wicklungen, der Gleichrichterdiode, den Snuberelemente und dem Leistungstransistor entstehen.

Die wärmste Komponente ist der Widerstand R12 des primärseitigen RC-Snubbers mit einer Oberflächentemperatur von 78,7°C.

11.2.9. Bewertung

Das Entwicklungsziel eines geringen Standby-Verbrauchs ist erreicht und auch die dynamische Belastbarkeit des Wandlers ist für den vorgesehenen Einsatzbereich mehr als ausreichend.

Der gemessene Wirkungsgrad unter Maximallast von 82 % (ohne RC-Snubber) ist nur leicht unterhalb des berechneten Wertes von 85 %. Eine weitere Steigerung der Wirkungsgrade ist möglich, indem die Gestaltung des Transformators optimiert wird. Der Großteil

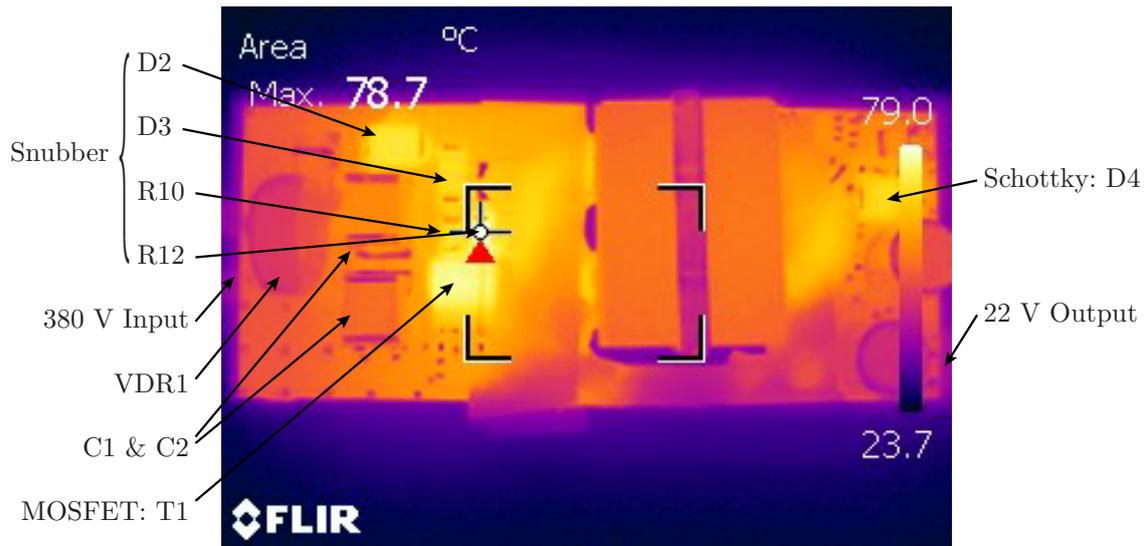


Abb. 11.12: Thermografieaufnahme bei maximaler Belastung

der Verlustleistung entsteht aufgrund der ohmschen Wicklungsverluste, der Kernverluste und indirekt in den Snubber-Netzwerken wegen der Streuinduktivität dieses Bauteils. Die Verluste in der Gleichrichterdiode können nur effektiv mittels aktiver Gleichrichtung verringert werden. Diese Maßnahme muss allerdings gut mit dem zusätzlichen Hardwareaufwand abgewägt werden. Bei folgenden Arbeiten können zudem die Verluste im Transistor T1 genauer untersucht werden, da der gemessene Temperaturanstieg nicht plausibel mit den berechneten ohmschen Verlusten erklärt werden kann und wahrscheinlich im Wesentlichen durch Schaltverluste hervorgerufen wird.

11.3. Hauptwandler

Im Folgenden sind alle durchgeführten Messungen zum Hauptwandler wiedergegeben. Zunächst sind die gemessenen Eigenschaften der planaren induktiven Komponenten mit den vorausgerechneten Werten verglichen. Anschließend wird die gemessene Verlustleistung der Schutzschaltung Richtung LVDC-Netz dargelegt. Die Auswahl der Gate-Vorwiderstände aller Leistungstransistoren und die Analyse der Schaltzeiten ist in Kapitel 11.3.3 gezeigt. Es folgt eine kurze Vorstellung des Messaufbaus zur Wirkungsgradmessung, welche für die weiteren Kapitel relevant ist. Anhand der Wirkungsgradverläufe über diverse Parameter, wie beispielsweise Anbindung der Klemmkondensatoren, die Schaltfrequenz oder unterschiedliche Betriebsmodi, sind etliche Eigenschaften des Wandlers untersucht und Optimierungspotentiale aufgezeigt. Messungen mit dem Oszilloskop verdeutlichen die eingestellten Taktsignale und deren Auswirkungen in jeweils einem Betriebspunkt des Buck- und Boost-Modus. Abschließend ist eine Wirkungsgradkennlinie im Buck-Betrieb dem unidirektionalen Vorgängermodell gegenübergestellt.

11.3.1. Planartransformator und -drossel

Tabelle 11.5 vergleicht die vorausgerechneten und gemessenen Eigenschaften des Planartransformators. Die Werte der Drossel L_C sind in Tabelle 11.6 aufgeführt.

Tab. 11.5: Eigenschaften des Planartransformators

	berechnet	gemessen
L_{pri}	2,79 mH	2,3 mH
L_{sec1}	56,9 μ H	45,5 μ H
L_{sec2}	56,9 μ H	45,5 μ H
$L_{lk,pri}$	-	570 nH
L_{lk1}	-	29,1 nH
L_{lk2}	-	26,3 nH
n	7	7,11
$R_{DC,pri}$	45,5 m Ω	52,5 m Ω
$R_{DC,sec1}$	0,742 m Ω	1,02 m Ω
$R_{DC,sec2}$	0,742 m Ω	1,02 m Ω

Tab. 11.6: Eigenschaften der Planardrossel

	berechnet	gemessen
L_C	2,24 μ H	2,97 μ H
R_{DC,L_C}	1,62 m Ω	1,81 m Ω

Für die Kupferverluste in Planartransformator und -drossel gilt mit den gemessenen Werten:

$$\begin{aligned}
 P_{V,Cu,Tr} &= R_{DC,pri} \cdot (I_{rms,pri,max})^2 \\
 &+ (R_{DC,sec1} + R_{DC,sec2}) \cdot (I_{rms,sec,max})^2 \\
 &= 52,5 \text{ m}\Omega \cdot (3,36 \text{ A})^2 + (1,02 \text{ m}\Omega + 1,02 \text{ m}\Omega) \cdot (16,62 \text{ A})^2 \\
 &\approx 1,16 \text{ W}
 \end{aligned} \tag{11.6}$$

$$P_{V,Cu,LC} \approx R_{DC,LC} \cdot I_{SELV,N}^2 = 1,81 \text{ m}\Omega \cdot (25 \text{ A})^2 \approx 1,14 \text{ W} \tag{11.7}$$

11.3.2. Schutzschaltung Richtung LVDC-Netz

Um die Leitverluste in den Transistoren T3 und T4 der Schutzschaltung zu erfassen, wird der Spannungsabfall zwischen der Eingangsklemme und dem Potential GND_HV_IN gemessen (vgl. Abb 6.5). Dazu wird im Boost-Betrieb von SELV zu LVDC eine Ausgangsleistung von 600 W, entsprechend einem Strom I_{LVDC} von 1,6 A bei $V_{LVDC,N}$, eingestellt. Der gemessene Spannungsabfall beträgt 0,53 V und somit die Verlustleistung:

$$P_{V,T3/4} = 1,6 \text{ A} \cdot 0,53 \text{ V} \approx 0,85 \text{ W} \tag{11.8}$$

$P_{V,T3/4}$ ist damit geringer als der vorausberechnete Wert von 0,99 W. In der Auslegung ist $P_{V,T3/4}$ mit dem maximal spezifizierten $R_{DS(on)}$ bei einer Gate-Source-Spannung von 10 V berechnet. Da die tatsächliche Gate-Source-Spannung 15,2 V beträgt und $R_{DS(on)}$ für den Großteil der produzierten Transistoren niedriger ausfällt, ist der gemessene Wert plausibel.

11.3.3. Doppelpulstest

Mit Hilfe des Doppelpulstests sind die Initialwerte der Widerstände zwischen den Gate-Anschlüssen der MOSFETs und den zugehörigen Treibern dimensioniert. Abb. 11.13 und Abb. 11.14 zeigen die Messwerte beim Ein- und Ausschaltvorgang der SiC-MOSFETs auf der Primärseite des Wandlers. I_L ist der Strom durch eine angeschlossene Luftspule, die dazu dient einen näherungsweise konstanten Strom, im Umschaltzeitpunkt des betrachteten Transistors, durch die Halbbrücke aufrecht zu erhalten.

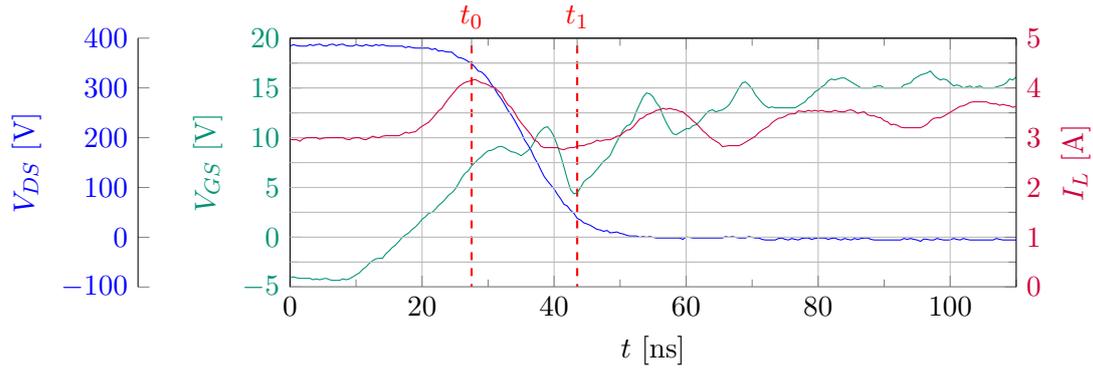


Abb. 11.13: Einschaltvorgang des Low-Side-SiC-MOSFET

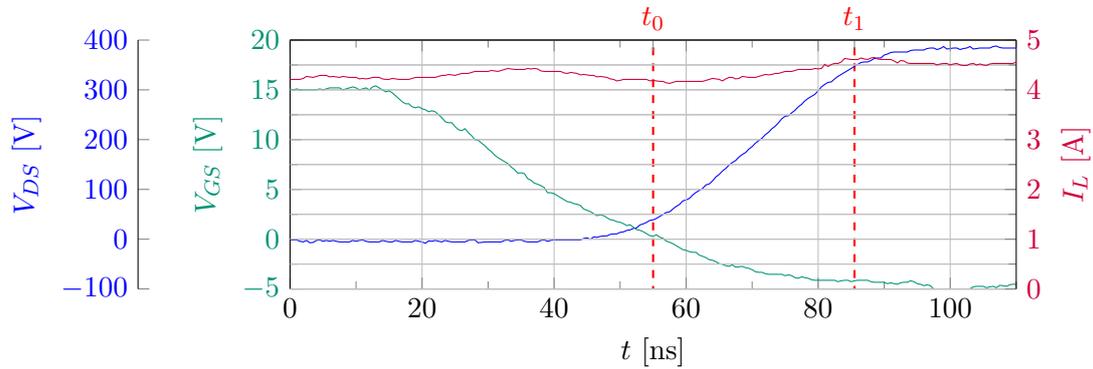


Abb. 11.14: Ausschaltvorgang des Low-Side-SiC-MOSFET

Die Gate-Vorwiderstände sind jeweils zu $10\ \Omega$ gewählt. Über die Differenz zwischen den Zeitpunkten t_0 und t_1 , welche bei $10\% \cdot V_{DS}$ und $90\% \cdot V_{DS}$ liegen, sind die Schaltzeiten für das Ein- $t_{rise,SiC}$ und Ausschalten $t_{fall,SiC}$ abgelesen, es gilt:

$$t_{rise,SiC} = 16\ \text{ns} \quad (11.9)$$

$$t_{fall,SiC} = 30,5\ \text{ns} \quad (11.10)$$

Eine weitere Verkleinerung der Widerstandswerte bringt keine Verbesserungen im Wirkungsgrad, wie Messungen mit $R_{g,SiC,on/off}$ von $4,7\ \Omega$ beweisen. Da die SiC-MOSFETs sowohl im Buck- als auch im Boost-Betrieb weich ein- und ausgeschaltet werden, ist die Schaltgeschwindigkeit bezüglich der Wandlereffizienz von untergeordneter Bedeutung. Aus Gründen der EMV ist eine Vergrößerung der Widerstände möglicherweise sinnvoll.

Die gleichen Tests sind für die Sekundärseite, bei größerem Strom und niedrigerer Drain-Source-Spannung, durchgeführt und die Ergebnisse in Abb. 11.15 und Abb. 11.16 wiedergegeben.

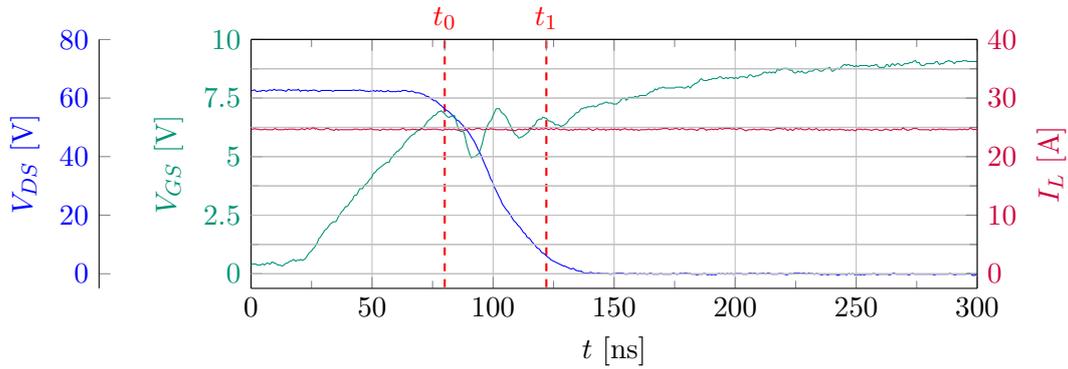


Abb. 11.15: Einschaltvorgang des Low-Side-Si-MOSFET

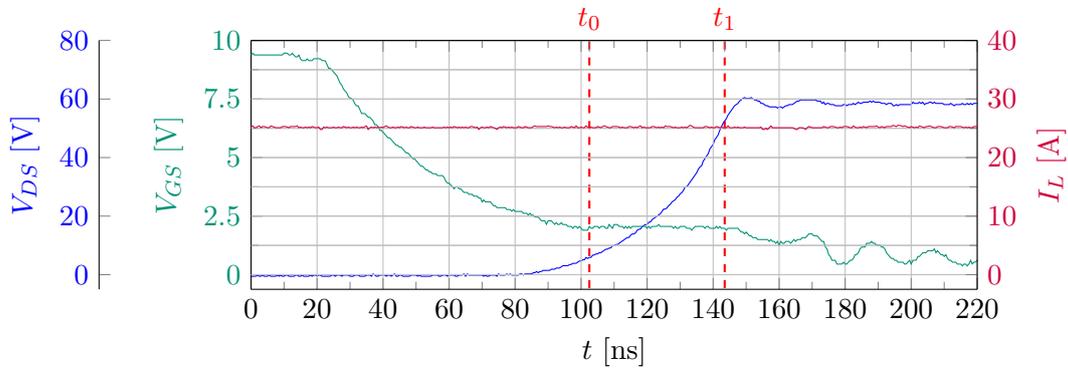


Abb. 11.16: Ausschaltvorgang des Low-Side-Si-MOSFET

Die Gate-Widerstände sind für Auf- und Entladung der Gate-Source-Kapazität unterschiedlich dimensioniert:

$$R_{g,Si,on} = 2,2\ \Omega \quad (11.11)$$

$$R_{g,Si,off} = 1,1\ \Omega \quad (11.12)$$

Für die Schaltzeiten sind die folgenden Werte abgelesen:

$$t_{rise,Si} = 42 \text{ ns} \quad (11.13)$$

$$t_{fall,Si} = 41 \text{ ns} \quad (11.14)$$

Primär- und sekundärseitig sind kaum Überspannungen im Verlauf von V_{DS} messbar, was auf ein besonders niederinduktives Leiterplattenlayout hindeutet. Weitere Verkleinerungen der Gate-Vorwiderstände sind daher möglich, ohne mit einer Zerstörung der MOSFETs aufgrund eines Durchbruchs in der Drain-Source-Strecke rechnen zu müssen. Insbesondere beim Einschaltvorgang sind mit den gewählten Werten jedoch bereits starke Schwingungen in der Spannung V_{GS} sichtbar, so dass die Gefahr des mehrfachen Ein- und Ausschaltens an einem Schaltvorgang besteht. Dies würde zu hohen Schaltverlusten führen. Wirkungsgradmessungen haben allerdings gezeigt, dass es optimal ist $R_{g,Si,on}$ und $R_{g,Si,off}$ auf 0Ω zu reduzieren. Es sind damit lediglich die internen Gate-Widerstände der MOSFETs wirksam, welche nominell mit $1,8 \Omega$ spezifiziert sind [Fai15].

Alle nachfolgenden Messungen sind mit

$$R_{g,SiC,on} = R_{g,SiC,off} = 10 \Omega \quad (11.15)$$

$$R_{g,Si,on} = R_{g,Si,off} = 0 \Omega \quad (11.16)$$

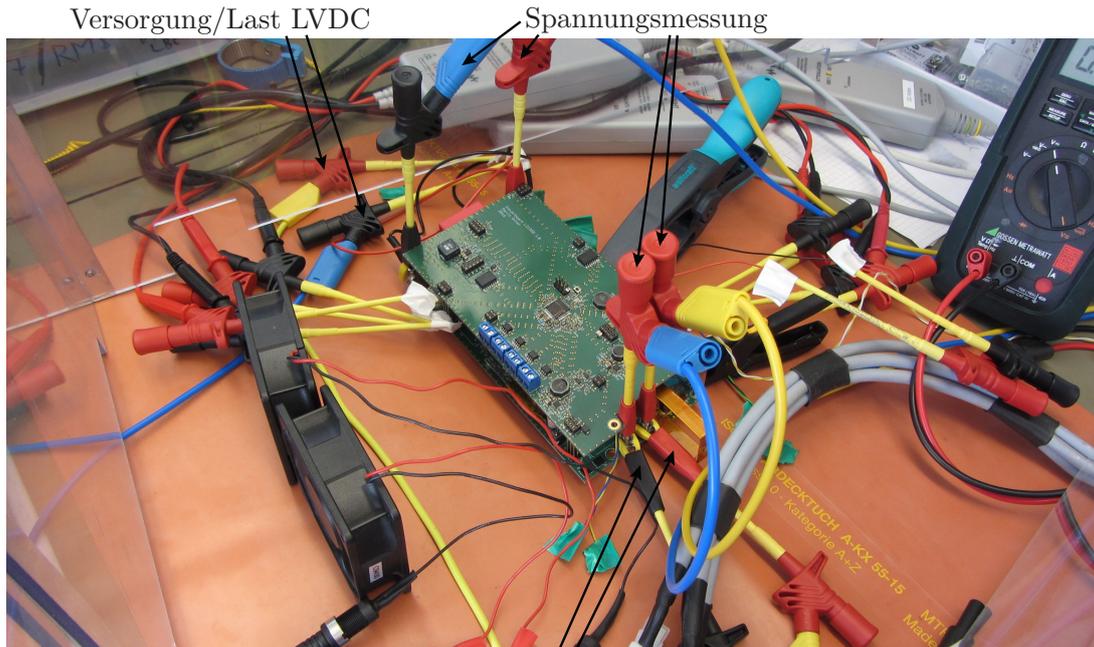
aufgezeichnet.

11.3.4. Messaufbau

Der Aufbau zur Vermessung der Wirkungsgrade des Hauptwandlers ist in Abb. 11.17 gezeigt.

Versorgung und Belastung des Wandlers erfolgt über die Klemmen, welche parallel zur Arbeitsplatte liegen. Für die Spannungsmessung am LVDC- und SELV-Anschluss, sind weitere Klemmen senkrecht auf den Pressfits positioniert. Dadurch kann die Leistungsaufnahme und -abgabe gemessen werden, ohne eine Verfälschung der Spannungsmessung durch die Verlustleistung zu erhalten, die innerhalb der Anschlussklemmen entsteht.

Alle im Folgenden gezeigten Effizienzmesswerte sind mit dem Messgerät WT3000 von Yokogawa aufgenommen. Zur Strommessung am SELV-Anschluss dient ein Stromsensor



Versorgung/Last SELV

Abb. 11.17: Messaufbau

des Typs ULTRASTAB 867-200IHF von Danfysik A/S. Die gezeigten Messergebnisse beinhalten bereits den Eigenverbrauch aller Komponenten, wie Steuerboard und Hilfs-wandler, die für den eigenständigen Betrieb des Wandlers notwendig sind.

11.3.5. Einfluss der Klemmkondensatoren

Der Einfluss der Klemmkondensatoren ist in Abb. 11.18 erkennbar.

In der ersten Version des Wandlers sind Klemmkondensatoren zwischen den Potentialen V_{Clamp} und V_{SELV} mit einer Gesamtkapazität von $26 \mu\text{F}$ eingebaut. Wie Abb. 11.18 zeigt, ist diese Wahl nicht optimal, so dass für alle weiteren Messungen Kondensatoren mit insgesamt $4 \mu\text{F}$ Kapazität zwischen V_{Clamp} und GND verschaltet sind. Die genannten Kapazitätswerte gelten jeweils für die im Mittel anliegende Spannung im Betrieb.

Die Verschaltung zwischen V_{Clamp} und V_{SELV} bietet den Vorteil einer geringeren Spannungsbelastung des Kondensators, allerdings führt sie auch zu unerwünschtem Stromfluss durch C_{Clamp} infolge des Spannungsrippels auf der Spannung V_{SELV} und damit zusätzlicher Verlustleistung. Ebenso erweist sich ein kleinerer Kapazitätswert in der Praxis als vorteilhaft, da hiermit niedrigere Spitzenströme in der Klemmschaltung hervorgerufen werden.

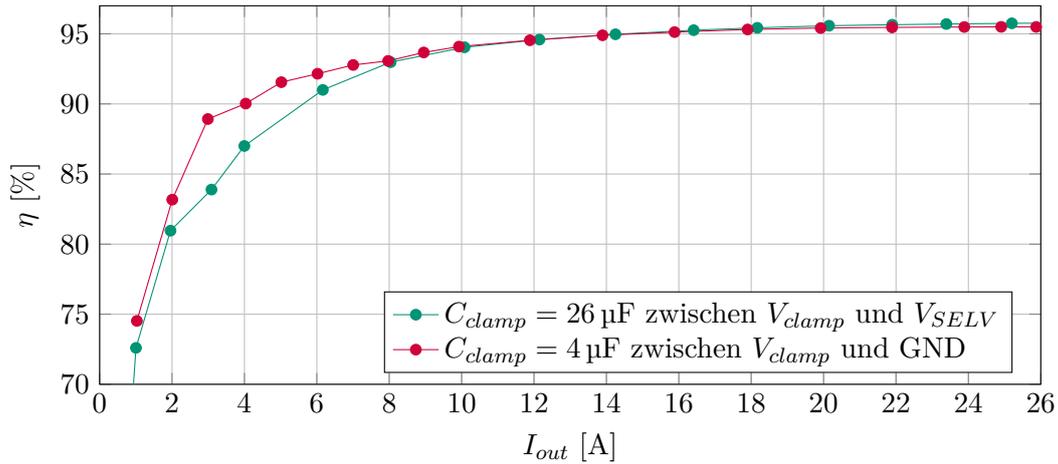


Abb. 11.18: LVDC → SELV: Wirkungsgrad bei unterschiedlicher Klemmschaltung

11.3.6. Wirkungsgradmessungen LVDC → SELV und SELV → LVDC

Entsprechend dem spezifizierten Bereich von 360 V bis 400 V für die Spannung V_{LVDC} zeigt Abb. 11.19 die Graphen für die Nennspannung und beide Spannungsgrenzen.

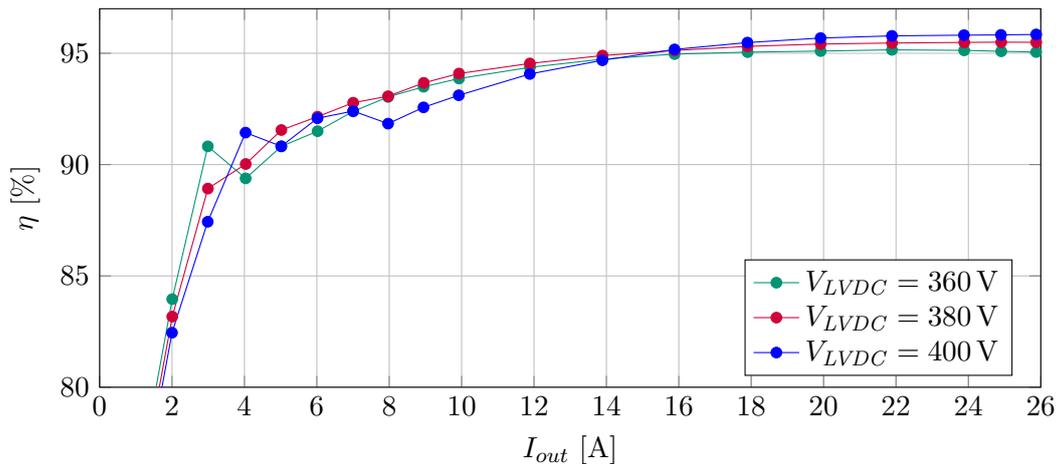


Abb. 11.19: LVDC → SELV: Wirkungsgrad bei Variation der Eingangsspannung

Im Bereich bis zu einem Ausgangsstrom von 15 A werden tendenziell höhere Wirkungsgrad bei niedrigerer Spannung V_{LVDC} erzielt. Da die Schaltverluste proportional zur Höhe der geschalteten Spannung sind, ist dieses Verhalten plausibel. Oberhalb von 15 A führen höhere Spannungen V_{LVDC} zu besseren Wirkungsgraden, da in diesen Betriebspunkten die Leitungsverluste dominieren, welche bei größerem Eingangsstrom steigen. Mit höherer Eingangsspannung sinkt der Eingangsstrom, bei gleicher Leistungsentnahme, so dass der Wirkungsgrad steigt.

In entgegengesetzter Energieflussrichtung sind die Messwerte in Abb. 11.20 dargestellt.

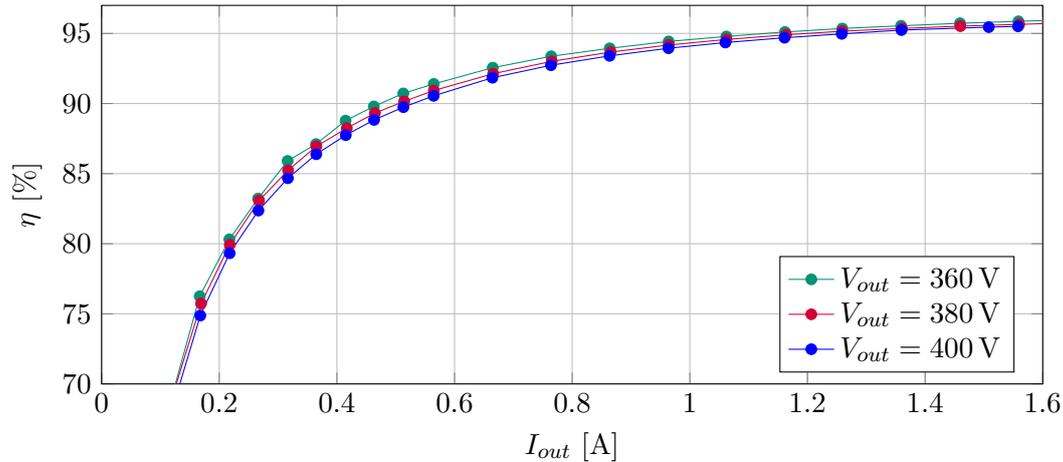


Abb. 11.20: SELV \rightarrow LVDC: Wirkungsgrad bei Variation der Ausgangsspannung

Eine niedrigere Spannung V_{LVDC} führt hier in jedem Betriebspunkt zu einer besseren Effizienz. Dies bedeutet, dass bei allen betrachteten Messpunkten die Schaltverluste den dominierenden Faktor in der Verlustleistung darstellen.

11.3.7. Messungen mit dem Oszilloskop LVDC \rightarrow SELV

Die Spannungen $V_{DS,pri,LS}$ und $V_{DS,sec2,LS}$ sind mit Differenzstastköpfen des Typs N2790A von Keysight, mit einer spezifizierten Bandbreite von 100 MHz, erfasst. Der Strom in die Klemmkondensatoren ist mithilfe einer Rogowskispule mit der Bezeichnung CWT Ultra mini von Power Electronic Measurements Ltd gemessen. Die Bandbreite beträgt 30 MHz. Für die Messung des Drosselstroms kommt eine Strommesszange des Typs N2781A von Keysight mit einer Bandbreite von 10 MHz zum Einsatz.

Tabelle 11.7 fasst die, in der GUI eingestellten Parameter zusammen und listet die gemessenen Strom- und Spannungswerte, sowie die daraus berechneten Größen, auf.

Abb. 11.21 zeigt die Messwerte einer Schaltperiode im Buck-Betrieb.

Die gemessenen Verläufe passen relativ gut zu den Kurven aus Abb. 3.7.

Tab. 11.7: Parameter der Taktung und Messwerte

T	10 μs
D	29 %
t_{dead}	1,625 μs
$\Delta t, pri, sec$	-0,15 μs
ΔD	-1,5 %
V_{LVDC}	380,052 V
I_{LVDC}	0,343 14 A
V_{SELV}	23,9815 V
I_{SELV}	5,0157 A
$I_{Clamp,RMS}$	3,8 A
P_{out}	120,29 W
η	92,244 %
P_V	10,11 W

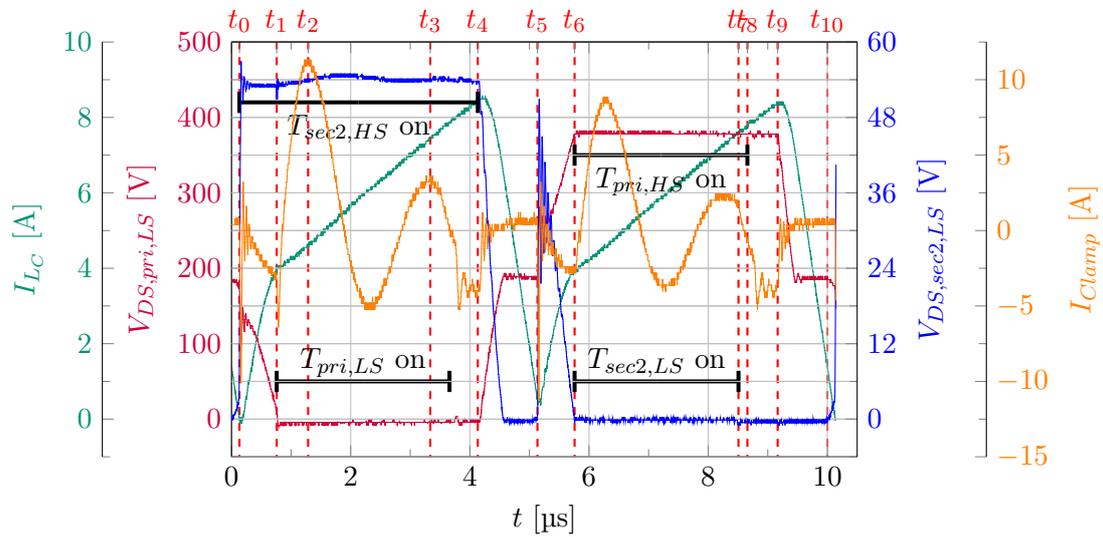


Abb. 11.21: LVDC \rightarrow SELV: Einzelne Schaltperiode bei $P_{out} = 120$ W

Zunächst wird die Schwingung des Klemmstroms genauer betrachtet. Über die Zeitpunkte t_2 und t_3 wird die Periodendauer der Resonanz zwischen Klemmkapazität C_{Clamp} und Streuinduktivität L_{lk2} ermittelt:

$$T_R = t_3 - t_2 = 3,3355 \mu\text{s} - 1,2855 \mu\text{s} = 2,05 \mu\text{s} \quad (11.17)$$

Mit der bekannten Klemmkapazität kann daraus L_{lk2} berechnet werden. Hierfür wird die allgemein bekannte Gleichung für die Resonanzfrequenz f_R eines LC-Schwingkreises

$$f_R = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot C}} = \frac{1}{T_R} \quad (11.18)$$

umgestellt zu:

$$L_{lk2} = \frac{T_R^2}{4 \cdot \pi^2 \cdot C_{Clamp}} = \frac{(2,05 \mu\text{s})^2}{4 \cdot \pi^2 \cdot 4 \mu\text{F}} \approx 26,6 \text{ nH} \quad (11.19)$$

Dieser Wert passt sehr gut zum Messwert L_{lk2} von 26,3 nH aus Tabelle 11.5.

Der Transistor $T_{sec2,HS}$ wird zum Zeitpunkt t_0 eingeschaltet und bringt dadurch die Spannung $V_{DS,sec2,LS}$ auf das Potential der Klemmkondensatoren. Am langsamen Abfall der Spannung $V_{DS,pri,LS}$ sind die Umladevorgänge zu erkennen, welche in Kapitel 3.2.2 beschrieben sind. Bei t_1 sind diese abgeschlossen und $T_{pri,LS}$ wird eingeschaltet. $T_{sec2,HS}$ wird zu t_4 abgeschaltet und die Spannungen an allen Wicklungen des Transformators fallen in der Folge auf 0 V ab.

In t_5 ist der Einschaltvorgang von $T_{sec1,HS}$ ersichtlich, der zu einer Spannungsspitze in $V_{DS,sec2,LS}$ führt. $T_{sec2,LS}$ wird anschließend bei t_6 zusammen mit $T_{pri,HS}$ weich eingeschaltet. Das Ausschalten von $T_{sec2,LS}$ erfolgt bereits zu t_7 , so dass die Dioden über dessen Drain-Source-Strecke den Strom bis zu t_{10} übernehmen. Dies führt grundsätzlich zu vermeidbarer zusätzlicher Verlustleistung. Mit dem Softwarestand zum Zeitpunkt der Arbeit können jedoch nur symmetrische Totzeiten auf der Sekundärseite eingestellt werden, so dass dieses Verhalten unvermeidbar ist.

$T_{pri,HS}$ wird ab t_8 abgeschaltet. Auch hier ist ein längeres Einschalten bis t_9 sinnvoll, welches über eine optimierte Wahl der Parameter D , Δt , pri , sec und ΔD erreicht werden kann.

Der Klemmstrom I_{Clamp} ist in seinem Betrag zwischen t_5 und t_6 näherungsweise proportional zum Strom I_{LC} . Der Drosselstrom I_{LC} teilt sich in diesem Intervall auf beide Sekundärwicklungen des Transformators auf, so dass ein Teil von den Klemmkondensatoren in Form von I_{Clamp} getragen wird und der andere Teil über die zweite Sekundärwicklung die entsprechenden Kapazitäten umlädt. Ab t_6 setzt die Resonanz zwischen den Klemmkondensatoren und der Streuinduktivität L_{lk1} ein.

11.3.8. Messungen mit dem Oszilloskop SELV → LVDC

Auch hier werden zunächst die eingestellten Parameter und einige Messwerte in Tabelle 11.8 vorgestellt.

Tab. 11.8: Parameter der Taktung und Messwerte

T	10 μ s
D	55,9 %
t_{dead}	0,06 μ s
$\Delta t, pri, sec$	0 μ s
ΔD	-2 %
V_{LVDC}	380,334 V
I_{LVDC}	0,308 37 A
V_{SELV}	24,0251 V
I_{SELV}	5,7596 A
$I_{Clamp,RMS}$	5,8 A
P_{out}	117,28 W
η	84,758 %
P_V	21,09 W

Abb. 11.22 zeigt die zugehörigen Messdaten des Oszilloskops.

Die kleine Totzeit t_{dead} von 0,06 μ s führt dazu, dass der Schaltvorgang bei t_0 hart erfolgt, also die parasitären Kapazitäten verlustbehaftet umgeladen werden. Ein weicher Schaltvorgang ist nach Kapitel 3.2.3 möglich, erfordert jedoch eine deutlich längere Zeit, wie in Abb. 11.21 ab t_4 bei vergleichbarem Betrag des Drosselstroms, ersichtlich ist. Dennoch wird mit dem empirischen Einstellen der Totzeit auf den genannten Wert der bestmögliche Wirkungsgrad erzielt. Für nachfolgende Arbeiten ist es empfehlenswert auch hier die beiden Totzeiten innerhalb einer Periode getrennt zu parametrieren.

Das schnelle Umladen der parasitären Kapazitäten ist bei t_0 an der betragsmäßig großen Spitze im Klemmstrom I_{Clamp} ersichtlich. I_{Clamp} erreicht dort einen Minimalwert von etwa -29 A. Damit wird der RMS-Strom durch die Klemmkondensatoren erhöht und es steigen die Leitungsverluste in den Kondensatoren und $T_{sec2,HS}$.

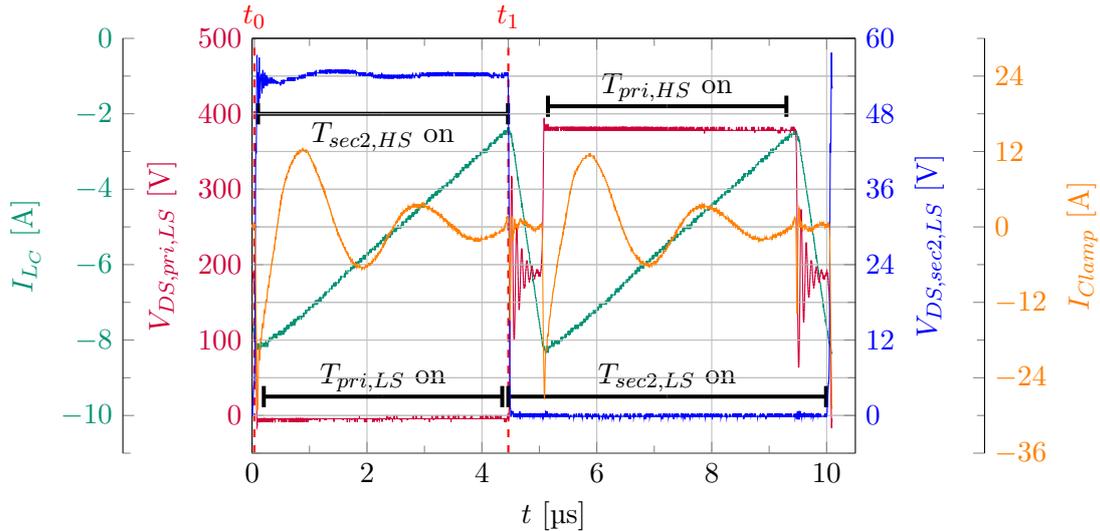


Abb. 11.22: SELV \rightarrow LVDC: Einzelne Schaltperiode bei $P_{out} = 117\text{ W}$

Bei t_1 wird $T_{sec2,LS}$ eingeschaltet und es erfolgt ein hartes Umladen der Kapazitäten auf Primär- und Sekundärseite des Transformators. Dass auch auf der Primärseite eine hohe Spannungssteilheit vorliegt, kann an der ausgeprägten Oszillation in $V_{DS,pri,LS}$ ab t_1 erkannt werden. Zum Vergleich sind die Oszillationen in Abb. 11.21 bzgl. Amplitude und Abklingzeit deutlich kleiner.

Die SiC-MOSFETs auf der Primärseite schalten synchron zu den Transistoren $T_{sec1,HS}$ und $T_{sec2,HS}$, wobei die Einschaltzeit symmetrisch um den Wert ΔD von -2% verkürzt ist. Dadurch können $T_{pri,LS}$ und $T_{pri,HS}$ bei vernachlässigbarer Drain-Source-Spannung eingeschaltet werden.

Durch die beiden harten Schaltvorgänge sind die Schaltverluste höher als im Buck-Betrieb. Allerdings liegen nur minimale Zeitabschnitte vor, innerhalb derer die Dioden parallel zu den Drain-Source-Strecken leitend werden. Aufgrund dieses Vorteils kann plausibel erklärt werden, warum die Effizienz im Boost-Betrieb ab etwa 550 W Ausgangsleistung in Abb. 11.23 die Effizienz des Buck-Betriebs übersteigt.

11.3.9. Vergleich der Verlustleistungen beider Energieflussrichtungen

Die absoluten Werte der entstehenden Gesamtverluste sind in Abb. 11.23 gegenüber der Ausgangsleistung für beide Energieflussrichtungen aufgetragen.

Die Verluste beim Betrieb SELV \rightarrow LVDC sind bei niedriger Ausgangsleistung etwa doppelt so groß, wie beim Buck-Betrieb. Dies lässt den Schluss auf deutlich größere Schaltverluste zu, die damit erklärt werden können, dass im Boost-Betrieb härteres Schalten

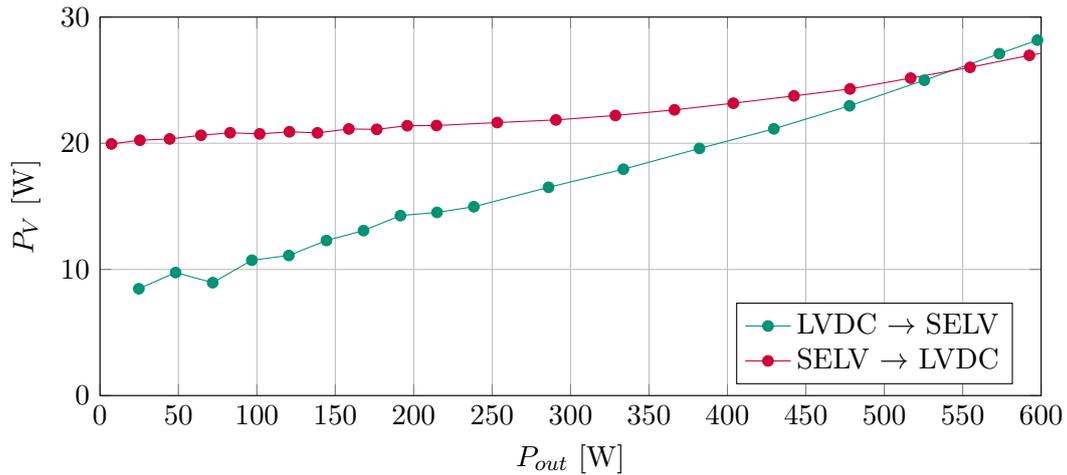


Abb. 11.23: Verlustleistungen bei $V_{LVDC} = 380\text{ V}$ und $f_S = 100\text{ kHz}$

erwartet wird. Im Buck-Betrieb muss nur ein kleiner Teil der parasitären Kapazitäten umgeladen werden, da das Verfahren benutzt wird, welches in Kapitel 3.2.2 beschrieben ist. Beim Betrieb im Boost-Modus ist dieses Verfahren nicht möglich, so dass beim Schalten größere Verluste zu verzeichnen sind. Zusätzlich besteht die genannte Ansteuerproblematik in Boost-Richtung.

Ab einer Leistung von etwa 550 W schneiden sich die gezeigten Kennlinien und der Boost-Modus ist bei gleicher Ausgangsleistung effizienter. Die Ursache hierfür ist mit den Messungen aus Kapitel 11.3.8 ersichtlich.

11.3.10. Einfluss der Schaltfrequenz auf die Verlustleistungen

Um die Schaltfrequenz zu finden, welche zu einer maximalen Effizienz führt, wird diese zwischen 20 kHz und 100 kHz variiert und dabei der Wirkungsgrad aufgezeichnet. Die Messung erfolgt bei drei unterschiedlichen Ausgangsströmen und die Ergebnisse sind in Abb. 11.24 wiedergegeben.

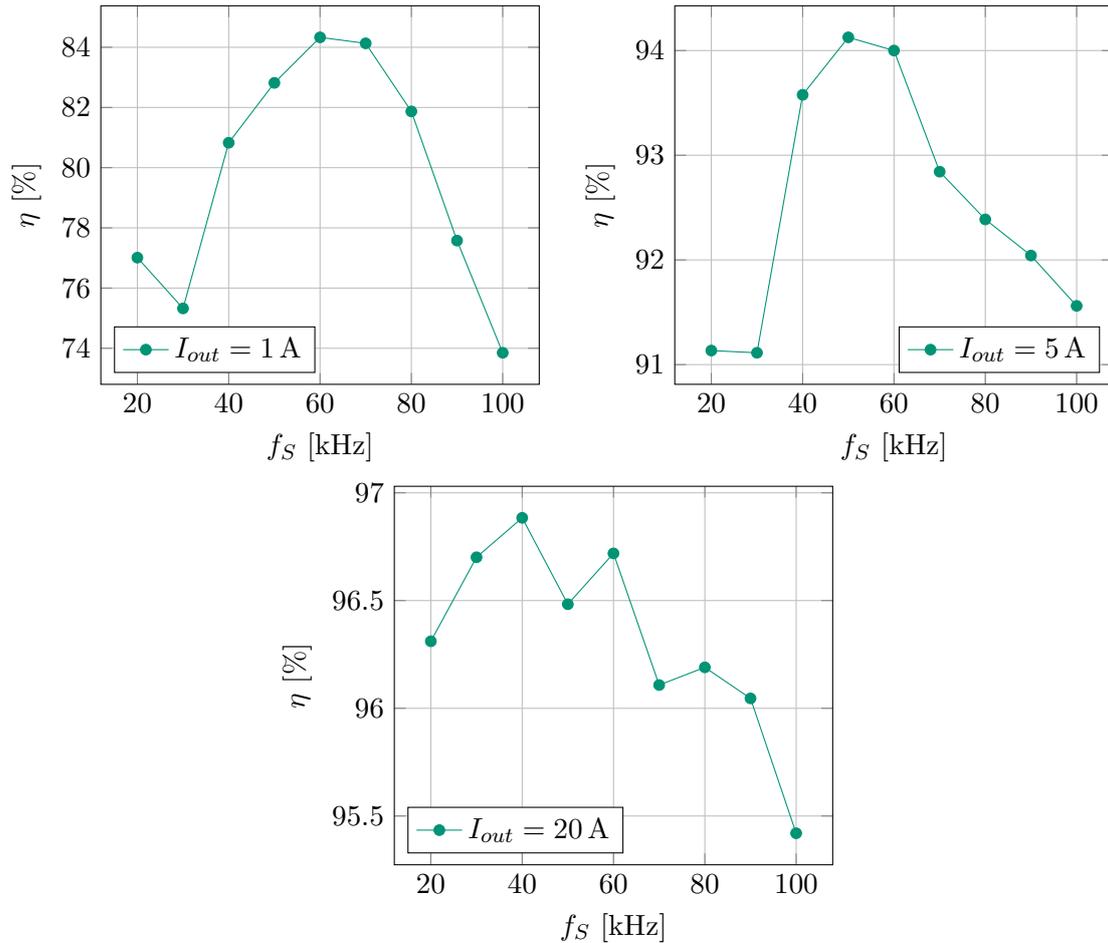


Abb. 11.24: LVDC \rightarrow SELV: Wirkungsgrad bei unterschiedlicher Schaltfrequenz

Grundsätzlich ist zu erwarten, dass die Effizienz bei niedriger Last steigt, wenn die Schaltfrequenz reduziert wird, da in diesem Betriebsbereich normalerweise die Schaltverluste dominieren. Abb. 11.24 zeigt jedoch, dass bei einem Ausgangsstrom von 1 A das Optimum von f_S bei 60 kHz liegt und bei I_{out} von 20 A mit 40 kHz erreicht wird. Die quantitative Analyse dieses Verhaltens wird im Rahmen dieser Arbeit nicht durchgeführt, allerdings können als mögliche Ursache die steigenden Kernverluste identifiziert werden. Nach Gl. 6.2 ist der Tastgrad unabhängig von der Schaltfrequenz und bleibt deshalb bei gleichem Verhältnis von V_{LVDC} zu V_{SELV} auch bei verringerter Schaltfrequenz konstant. Die maximale Flussdichte im Kernmaterial ist hingegen nach Gl. 6.8 proportional zur Periodendauer T . Die Kernverlustleistung sinken einerseits mit fallender Schaltfrequenz, steigen jedoch deutlich stärker mit der ansteigenden Flussdichte, so dass effektiv höhere Kernverlusten auftreten, wenn f_S verkleinert wird.

Dieser Sachverhalt ist in [Sch15] anhand der Steinmetz-Gleichung für das eingesetzte Kernmaterial verdeutlicht:

$$P_{V,Kern} \sim B^{2,45} \cdot f^{1,22} \quad (11.20)$$

Aufgrund des hohen Exponenten von 2,45 über der Flussdichte B im Vergleich zu 1,22 bei der Frequenz f , steigt die Verlustleistung, wenn B im gleichen Maße erhöht wird, wie f verkleinert wird.

B_{max} ist nach Gl. 6.8 unabhängig vom Ausgangsstrom I_{out} des Wandlers und folglich bleiben die Kernverluste konstant bei Variation von I_{out} . Die Schaltverluste werden demgegenüber mit steigendem I_{out} größer, so dass der Kompromiss aus Kern- und Schaltverlusten für den besten Wirkungsgrad bei niedrige Ausgangsströme zugunsten einer höheren Schaltfrequenz resultiert.

Als Kompromiss wird f_S zu 50 kHz gewählt. Abb. 11.25 zeigt den Verlauf des Wirkungsgrads über einen weiten Bereich des Ausgangsstroms bei drei unterschiedlichen Schaltfrequenzen.

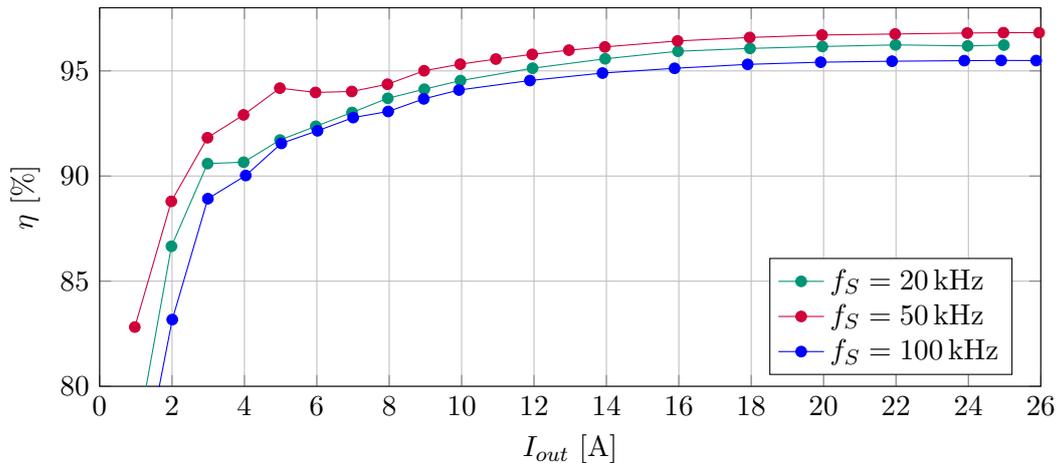


Abb. 11.25: LVDC → SELV: Wirkungsgrad bei Variation der Schaltfrequenz

11.3.11. Verlustleistungsbilanz des Gesamtwandlers

Im Folgenden wird eine Abschätzung für die Aufteilung der Verlustleistung auf unterschiedliche Ursachen anhand der bisherigen Messergebnisse und Vorausberechnungen gegeben. Dazu wird der Betrieb in Buck-Richtung mit maximaler Ausgangsleistung von 600 W untersucht.

Die Zeitabschnitte innerhalb, welcher die SiC-Body-Dioden und SBRT-Dioden leiten, werden über die Parameter der Taktsignale abgeschätzt, da im betrachteten Betriebspunkt keine Messdaten mit dem Oszilloskop vorliegen. Zur vereinfachten Berechnung wird angenommen, dass die Zeitdauer der weichen Umladevorgänge gleich Null ist, aufgrund der hohen Ströme bei maximaler Ausgangsleistung sind sie zumindest relativ kurz. Innerhalb einer Schaltperiode gilt für die Zeitspannen $t_{SiC,Body}$ und t_{SBRT} , in welchen die genannten Dioden den gesamten Wicklungsstrom von Primär- oder Sekundärseite tragen:

$$t_{SiC,Body} = 0,43 \mu\text{s} \quad (11.21)$$

$$t_{SBRT} = 1,43 \mu\text{s} \quad (11.22)$$

In erster Näherung wird die Verlustleistung sekundärseitig mit dem Ausgangsstrom von 25 A und primärseitig mit dem doppelten Eingangsstrom von $2 \cdot 1,65$ A gerechnet. Die Flussspannung der Dioden ist für den betrachteten Fall nur unwesentlich von der Stromstärke abhängig, so dass die Dreiecksform der Wicklungsströme nicht zu großen Fehlern führt. Um exakte Werte zu erhalten, müsste allerdings berücksichtigt werden, dass die Dioden nur in Teilabschnitten der gesamten Periode leiten und deshalb Fehler entstehen, wenn mit den Mittelwerten der Ströme gerechnet wird. Für die Verlustleistungen gilt:

$$\begin{aligned} P_{V,SiC,Body} &= 2 \cdot 1,65 \text{ A} \cdot V_{F,SiC} \cdot \frac{t_{SiC,Body}}{T} \cdot 2 \\ &= 2 \cdot 1,65 \text{ A} \cdot 3,04 \text{ V} \cdot \frac{0,43 \mu\text{s}}{10 \mu\text{s}} \cdot 2 \approx 0,86 \text{ W} \end{aligned} \quad (11.23)$$

$$\begin{aligned} P_{V,SBRT} &= 25 \text{ A} \cdot V_{F,SBRT} \cdot \frac{t_{SBRT}}{T} \\ &= 25 \text{ A} \cdot 0,55 \text{ V} \cdot \frac{1,43 \mu\text{s}}{10 \mu\text{s}} \cdot 2 \approx 3,93 \text{ W} \end{aligned} \quad (11.24)$$

Die Flussspannung der SiC-Body-Diode $V_{F,SiC}$ ist aus Kapitel 11.3.15 vorgegriffen, $V_{F,SBRT}$ entstammt dem Datenblatt [Dio15]. Der Faktor zwei am Ende jeder Gleichung berücksichtigt, dass pro Periode zwei Dioden nacheinander aktiv werden.

Zusammen mit den anderen bekannten Verlustleistungen ergibt sich die Bilanz nach Tabelle 11.9.

Tab. 11.9: Leistungsbilanz

	P
Gemessene Gesamtverluste $P_{V,600W,100kHz}$	28,29 W
Transistoren Schutzschaltung $P_{V,T3/4}$	-0,85 W
Leistungsaufnahme Steuerboard	-2,5 W
Leitverluste SiC-MOSFETS $P_{V,Rds(on)}$	-0,73 W
Leitverluste Si-MOSFETS $P_{V,Rds(on)}$	-0,58 W
Kupferverluste Transformator $P_{V,Cu}$	-1,16 W
Kernverluste Transformator $P_{V,Kern}$	-1,29 W
Kupferverluste Planardrossel $P_{V,Cu,LC}$	-1,14 W
Kupferverluste der Leiterbahn zwischen Drossel und Transformator	-0,13 W
Leitverluste $P_{V,SiC,Body}$	-0,86 W
Leitverluste $P_{V,SBRT}$	-3,93 W
	15,12 W

Die Differenz von 15,12 W kann Schalt-, Umlade-, Proximity- und Skinverlusten zugeschrieben werden. Durch Vergleich mit der Verlustleistung bei einer Schaltfrequenz von 50 kHz ist ein Großteil dieser Leistung auf Schalt- und Umladeverluste zurückzuführen. Eine explizite Vermessung des Transformators hinsichtlich Proximity- und Skinverluste ist jedoch nicht Bestandteil dieser Arbeit, so dass keine gesicherte Gesamtzuordnung getroffen werden kann und die Werte deshalb nicht weiter aufgeschlüsselt sind.

11.3.12. Höhe der Treiberversorgungsspannung

In Abb. 11.26 ist der Einfluss des Wertes der Treiberversorgungsspannung V_{driver} auf der Sekundärseite gezeigt. Die Schaltfrequenz f_S beträgt in allen drei Teildiagrammen 100 kHz.

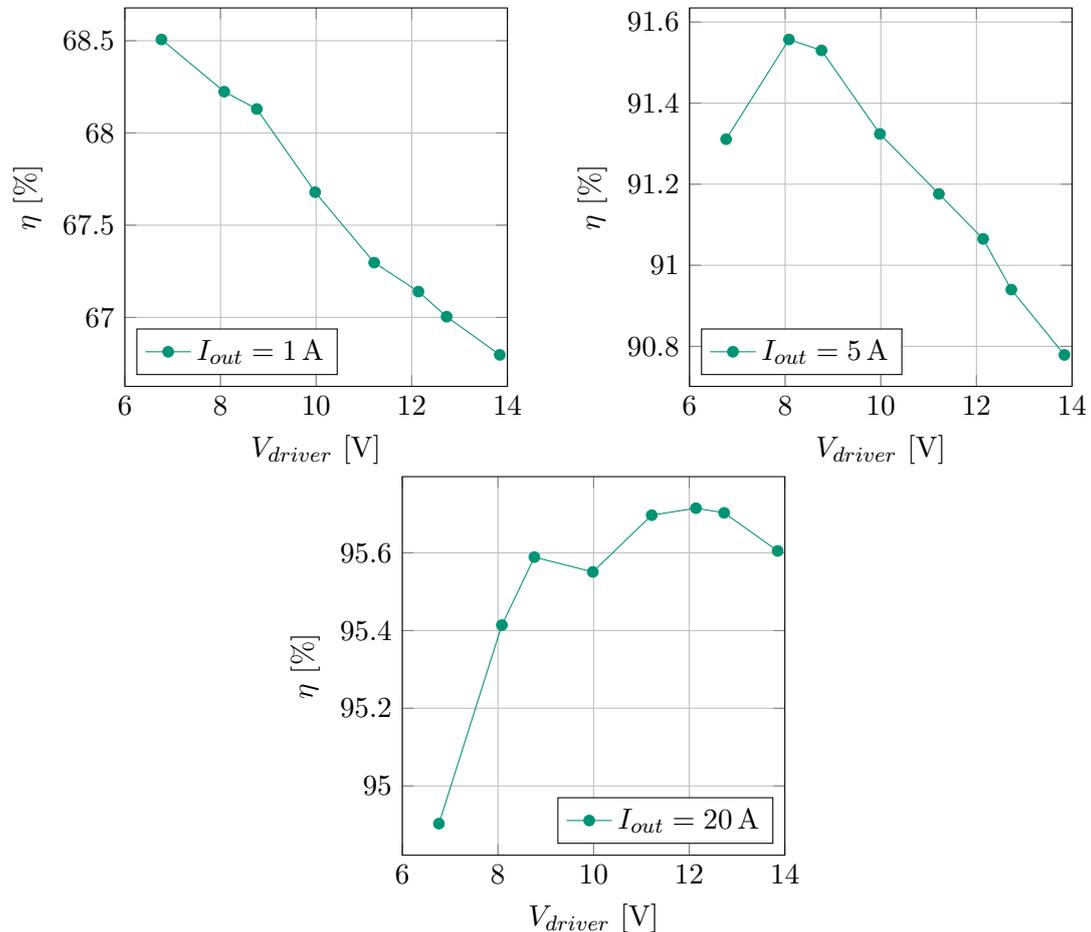


Abb. 11.26: LVDC \rightarrow SELV: Wirkungsgrad bei Variation der Treiberversorgungsspannung

Für niedrige Ausgangsströme gilt, dass eine kleinere Spannung V_{driver} die Effizienz erhöht. Mit verringerter Spannung ist die Ansteuerleistung reduziert, welche bei geringem Ausgangsstrom des Wandlers bereits zu Effizienzeinbußen in der Ordnung von einstelligen Prozentwerten führt. Bei größerer Ausgangsleistung ist dieser Anteil von untergeordneter Bedeutung und die Schaltverluste dominieren demgegenüber. Da die Schaltverluste unter anderem von der Schaltgeschwindigkeit abhängig sind, ist eine höhere Treiberspannung vorteilhaft, da sie zu schnelleren Schaltvorgängen führt.

Der initial gewählte Wert V_{driver} von 10 V bietet einen guten Kompromiss und wird für die folgenden Messungen beibehalten.

11.3.13. Passive Low-Side-Gleichrichtung auf der Sekundärseite

Wie in Kapitel 8.1 erläutert, stehen zwei Betriebsmodi zur Verfügung, in denen die Low-Side-MOSFETs der Sekundärseite nicht geschaltet werden, so dass nur passiv über die Diodenstrecken gleichgerichtet wird. In Abb. 11.27 kann abgelesen werden, dass die Deaktivierung der Taktung der Low-Side-MOSFETs bis zu einem Ausgangsstrom von etwa 2 A einen positiven Einfluss auf die Verlustleistungsbilanz des Wandlers hat.

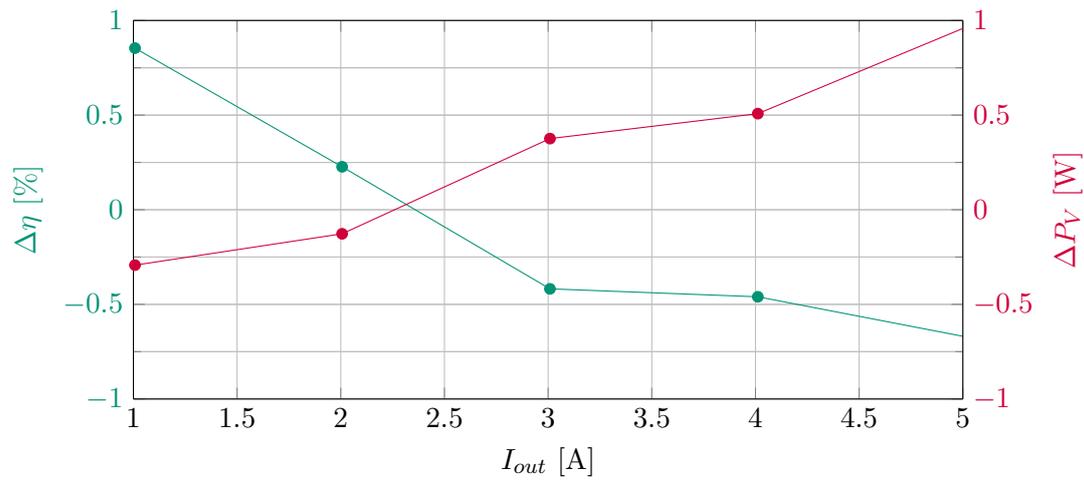


Abb. 11.27: LVDC → SELV: Wirkungsgrad- und Verlustleistungsänderung bei inaktiver Low-Side-Synchronegleichrichtung

Abb. 11.28 zeigt den Modus, bei welchem auf der Sekundärseite die Low-Side-MOSFETs inaktiv bleiben und gleichzeitig die High-Side-MOSFETs nur zu jeder fünften Periode getaktet werden.

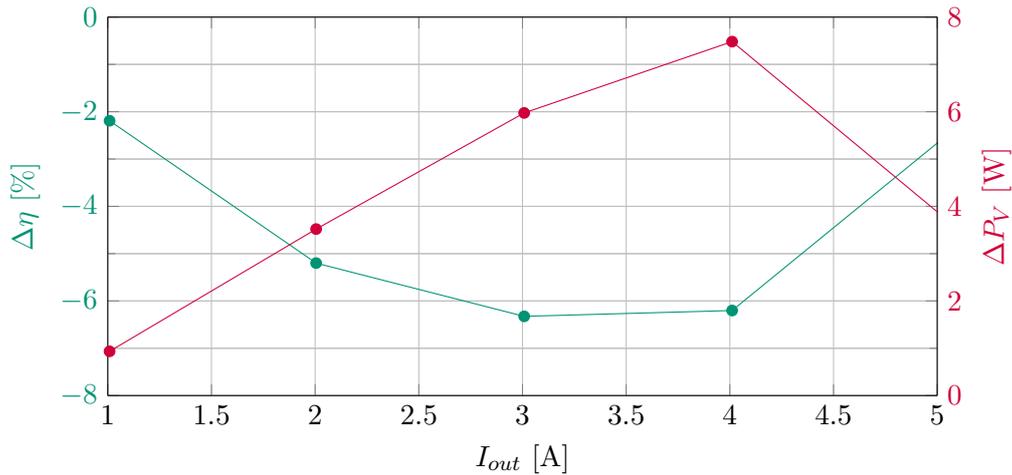


Abb. 11.28: LVDC \rightarrow SELV: Wirkungsgrad- und Verlustleistungsänderung bei 1/5 High-Side-Synchroneleichrichtung

Diese Betriebsart führt in jedem gemessenen Betriebspunkt zu höheren Verlusten. Eine Messung des Drosselstroms (siehe Abb. 11.29) zeigt, dass der Großteil der Energie in der fünften Periode übertragen wird und bei allen anderen Schaltperioden ein vergleichsweise geringer Strom in die Drossel fließt. Mit der Beschreibung aus Kapitel 3.2.2 kann dieses Verhalten plausibel erklärt werden. Aufgrund der fehlenden sekundärseitigen High-Side-Taktung, werden die SiC-MOSFETs der Primärseite in vier von fünf Perioden hartgeschaltet und der effektive Tastgrad der primärseitigen Taktung ist in diesen vier Perioden im Vergleich zur fünften Periode zu niedrig.

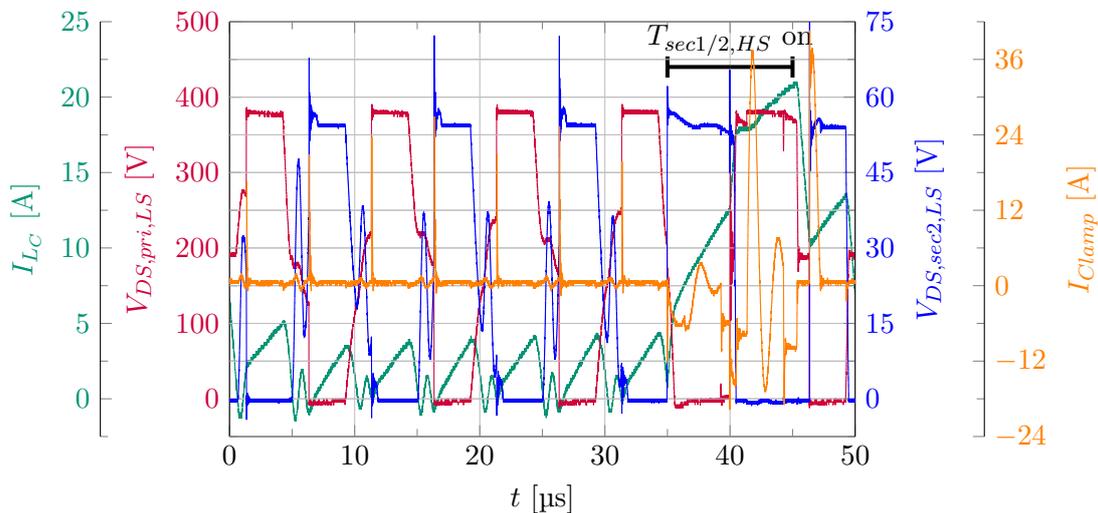


Abb. 11.29: LVDC \rightarrow SELV: Fünf Schaltperioden bei $P_{out} = 121$ W und 1/5 High-Side-Synchroneleichrichtung

11.3.14. Parallel geschaltete SBRT-Dioden

Um die Reverse Recovery Verluste der Body-Dioden innerhalb der Si-MOSFETs zu vermeiden, ist jedem MOSFET auf der Sekundärseite eine Diode mit der Bezeichnung SBRT25U80SLP-13 parallel geschaltet. In Abb. 11.30 ist die Änderung der Effizienz und Verlustleistung nach dem Entfernen der zusätzlichen Dioden dargestellt.

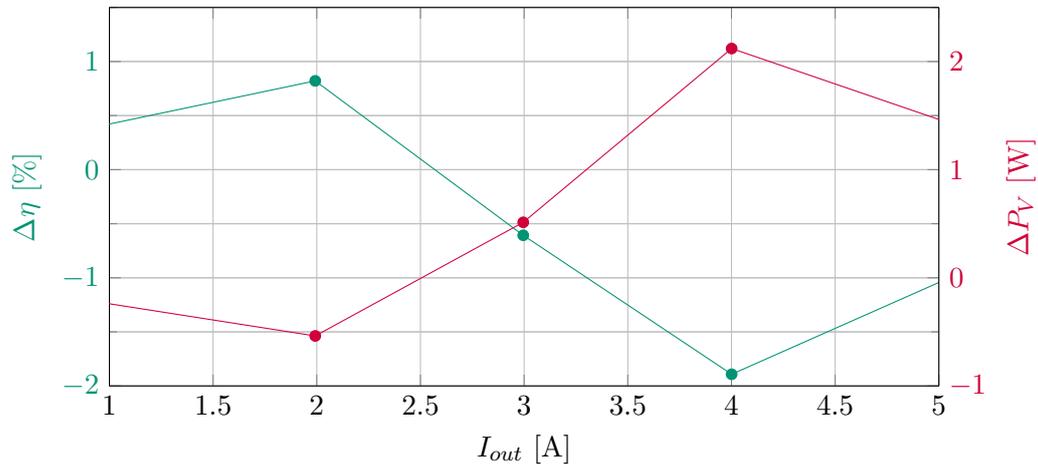


Abb. 11.30: LVDC → SELV: Wirkungsgrad- und Verlustleistungsänderung ohne SBRT Dioden

Bis zum Ausgangsstrom von 2 A ist eine Verbesserung der Effizienz messbar, d.h. die SBRT-Dioden verursachen in diesem Betriebsbereich zusätzliche Verluste. Bei größerem Laststrom sinkt der Wirkungsgrad hingegen, wenn die Dioden entfernt werden. Dies kann mit der geringeren Flussspannung im Vergleich zu den Body-Dioden und möglicherweise kleineren Reverse Recovery Verlusten bei hohen Strömen begründet werden.

11.3.15. Deaktivierte Synchrongleichrichtung im Boost-Betrieb

Im Boost-Betrieb kann die Synchrongleichrichtung mittels eines fehlenden Ansteuerungssignals der SiC-MOSFETs vollständig deaktiviert werden. Die Gleichrichtung erfolgt dann über die SiC-Body-Dioden, welche im Vergleich zu Dioden auf Siliziumbasis eine relativ hohe Flussspannung besitzen. Abb. 11.31 zeigt die Messergebnisse.

Bei einem Ausgangsstrom von etwa 0,02 A werden beim Deaktivieren der aktiven Synchrongleichrichtung Effizienzgewinne von bis zu 6 % erreicht. Bei hoher Last bringt die aktive Gleichrichtung hingegen Vorteile und führt bei einem Ausgangsstrom I_{out} von 1,5 A zu einer Erhöhung der Effizienz um etwa 1,6 %. Bezüglich der primärseitigen Transformatorspannung entspricht dies einem Spannungsabfall $V_{F,SiC}$ von:

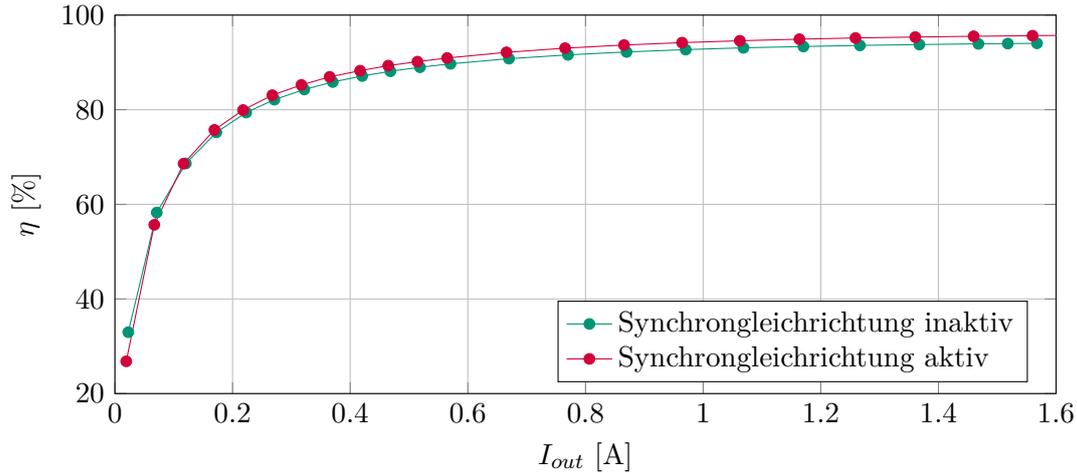


Abb. 11.31: SELV \rightarrow LVDC: Auswirkung Synchrongleichrichtung

$$V_{F,SiC} = 1,6\% \cdot 190 \text{ V} = 3,04 \text{ V} \quad (11.25)$$

Aus dem Datenblatt der SiC-MOSFETs [Cre15] kann abgelesen werden, dass dieser Wert der Flussspannung einer Body-Diode beim betrachteten Strom entspricht.

11.3.16. Primärseitiger Tastgrad

Nach Gl. 6.3 ist der Tastgrad D theoretisch unabhängig vom Ausgangsstrom, bzw. der Ausgangsleistung des Wandlers. Die praktisch eingestellten Werte sind in Abb. 11.32 dargestellt. Der aufgezeichnete Tastgrad im Buck-Betrieb ist im Diagramm um den Zeitabschnitt, in welchem die SiC-Body-Dioden leiten, nach oben korrigiert. Damit wird der Tastgrad bei idealer Ansteuerung erhalten.

Der berechnete Tastgrad für die Spannung $V_{LVDC,N}$ von 380 V beträgt 44,2%. Die tatsächlich eingestellten Werte sind jedoch sowohl im Buck- als auch im Boost-Betrieb stets niedriger.

Im Boost-Modus sind dafür parasitäre Elemente, wie beispielsweise die Durchlasswiderstände der Transistoren verantwortlich. Aufgrund der Spannungsabfälle an diesen Elementen werden die Spannungen an den Wicklungen der Sekundärseite reduziert, so dass der Tastgrad entsprechend korrigiert werden muss. Für den Betrieb in Boost-Richtung bedeutet dies ein höherer Tastgrad der sekundärseitigen Low-Side-Schalter und folglich primärseitig ein kleinerer Tastgrad der MOSFETs. Bei steigender Ausgangsleistung wer-

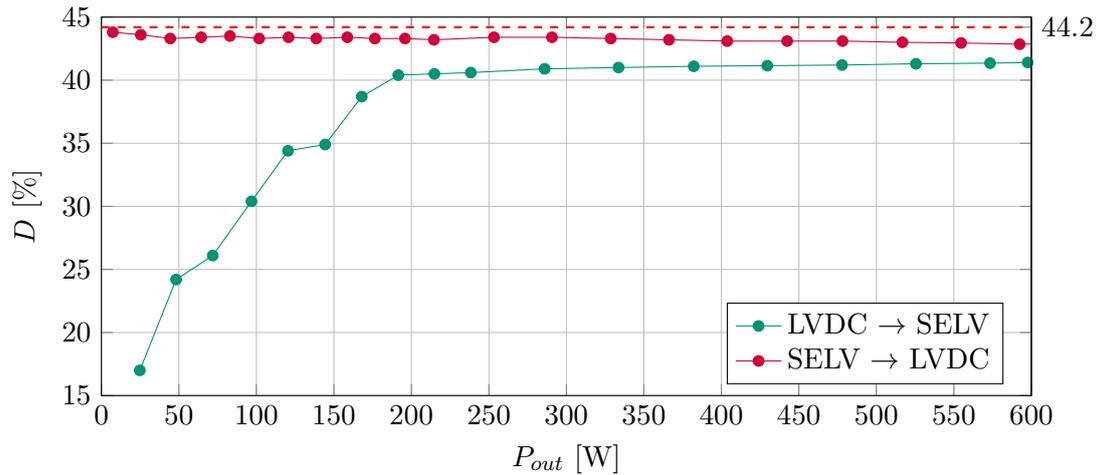


Abb. 11.32: Tastgrad der primärseitigen SiC-MOSFETs

den die parasitären Spannungsabfälle wegen der größeren Ströme höher. Dies ist am Abfall des Graphen erkennbar.

Für den Buck-Betrieb können die deutlich kleineren Tastgrade über das gewählte Ansteuerverfahren nach Kapitel 3.2.2 erklärt werden. Wie beispielsweise in Abb. 11.21 deutlich erkennbar ist, steigt der Drosselstrom I_{LC} mit hoher Steigung an, wenn der sekundärseitige High-Side-Schalter aktiviert wird. Zum Einschaltzeitpunkt der Transistoren auf der Primärseite liegt daher bereits ein erhöhter Drosselstrom vor und der Tastgrad muss um den entsprechenden Wert nach unten korrigiert werden.

11.3.17. Vergleich mit unidirektionalem Wandler

Abschließend ist in Abb. 11.33 der Wirkungsgradverlauf mit dem Wandler aus [Sch15] verglichen.

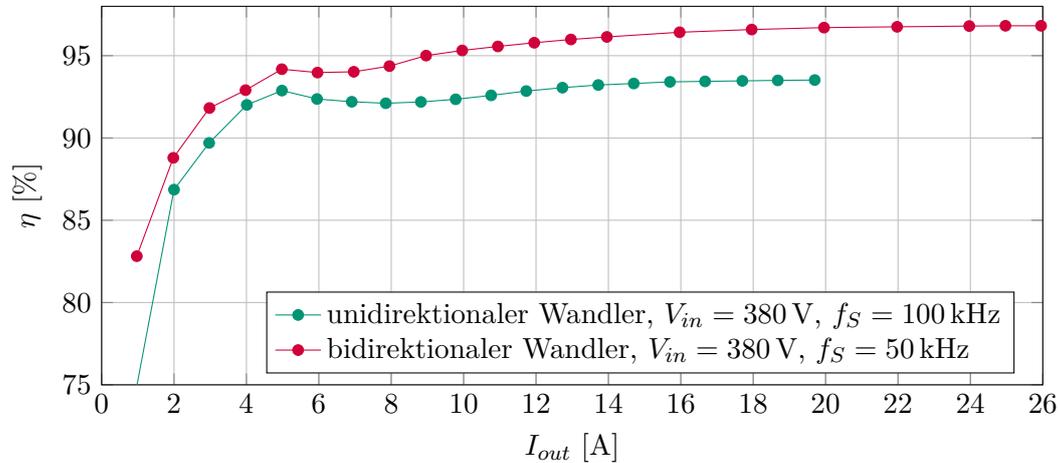


Abb. 11.33: LVDC \rightarrow SELV: Vergleich zwischen unidirektionalem Wandler aus [Sch15]

An den Verläufen ist zu erkennen, dass der neue DC/DC-Wandler mit SiC-MOSFETs im gesamten vermessenen Leistungsbereich im Buck-Betrieb effizienter arbeitet, als seine vorausgehende Version, die rein mit Si-MOSFETs und passiver Snubber-Schaltung aufgebaut ist.

12. Zusammenfassung

Zu Beginn dieser Arbeit sind drei unterschiedliche Wandlertopologien miteinander verglichen. Als geeignet für den bidirektionalen Energiefluss vom LVDC- zum SELV- Versorgungsnetz, stellt sich die Topologie mit kapazitiver Halbbrücke auf der Primärseite und einer Push-Pull-Stufe mit aktiver Klemmschaltung auf der Sekundärseite heraus. Vorteilhaft sind hier die problemlose Abdeckung eines größeren Spannungsbereichs auf der LVDC-Seite und eine einfache Steuerbarkeit des Energieflusses. Durch geschickte Ansteuerung können die Transistoren der Primärseite in allen Betriebspunkten und bei beiden Richtungen des Leistungsflusses weich geschaltet werden. Dies führt zu geringen Schaltverlusten und damit hoher Effizienz des Wandlers.

Nach einem kurzen Überblick zur Verknüpfung von Haupt-, Hilfswandler, MOSFET Treiber und Steuerboard, werden die später genutzten Formeln zur Kernausslegung hergeleitet bzw. erläutert.

Anschließend folgt die Auslegung des Hauptwandlers. Als zentrale Komponente des Wandlers wird hier auf die Optimierung des Transformators in planarer Bauweise eingegangen, um dessen Verlustleistung bei vorgegebener Kerngeometrie zu minimieren. Nach diesem Schritt werden die Transistoren für Primär- und Sekundärseite ausgewählt und die zugehörigen Treiberschaltungen vorgestellt. Für die Halbbrücke auf der Primärseite werden SiC-MOSFETs eingesetzt, die einige Vorteile im Vergleich zu Si-MOSFETs bieten, wie beispielsweise einen geringen $R_{DS(on)}$ bei gleichzeitig niedrigen parasitären Kapazitäten. Zum Abschluss dieses Kapitels werden die Planardrossel auf der Sekundärseite, die Kapazitäten und Filter, sowie die Schutzschaltung in Richtung LVDC-Netz beschrieben.

Zur Steuerung und Messdatenerfassung wird ein Steuerboard entworfen, das einen Mikrocontroller der Serie XMC4400 von Infineon enthält und masseseitig an das Potential der Sekundärseite angebunden ist. Die Logikversorgung kann dadurch mit kostengünstigen und effizienten Buck-Convertern direkt aus dem SELV-Netz abgeleitet werden, sobald der Wandler angelaufen ist oder eine einspeisende Einheit genügend Energie auf der 24 V Seite liefert.

Mittels einer grafischen Oberfläche, die mit Visual Studio und der Programmiersprache C# erstellt ist, können die Taktsignale am PC parametrisiert werden, welche das Steuerboard generiert. Zur Datenverbindung besitzt das Steuerboard eine CAN-Schnittstelle, die über einen CAN/USB-Umsetzer an den PC angebunden ist. Die möglichen Betriebsarten und die zugehörige Firmware zur Erzeugung der Taktsignale werden detailliert beschrieben.

Zur Versorgung der Treiber für die SiC-MOSFETs wird eine asymmetrische Spannungsquelle benötigt, welche die Potentiale -4 V , 0 V und 15 V bereitstellt. Für diese Quelle wird im Rahmen der Arbeit ein galvanisch getrennter Flyback-Converter realisiert, der aus dem Hilfsversorgungsnetz der Sekundärseite gespeist wird.

In bestimmten Situationen kann das Steuerboard nicht über die Sekundärseite versorgt werden, beispielsweise, wenn der Hauptwandler noch nicht angelaufen ist und im SELV-Netz keine Quelle vorliegt. Deshalb ist ein Hilfswandler entworfen, aufgebaut und vermessen. Direkt an das LVDC-Netz angeschlossen liefert er eine Ausgangsspannung von 22 V . Auch hier kommt eine Flyback Topologie zum Einsatz, die gut geeignet ist um einen geringen Standby Verbrauch zu ermöglichen. Im Normalbetrieb des Wandlers wechselt der Hilfswandler automatisch in seinen Standby Modus mit sehr geringer Leistungsaufnahme und hat daher keinen messbaren Einfluss auf die Gesamteffizienz des DC/DC-Wandlers.

Nachdem der Aufbau der Komponenten des Wandlers wiedergegeben ist, folgen im letzten großen Kapitel der Arbeit die Messergebnisse zu den Hilfswandlern und des gesamten DC/DC-Wandlers inklusive Steuerboard. Hierbei sind zunächst Messdaten zu den zwei verschiedenen Hilfswandlern präsentiert, wie die Eigenschaften der Planartransformatoren, Zeitverläufe der Spannungen am Transformator, Wirkungsgradkennlinien und die Wärmeverteilung auf den Platinen. Danach wird das Verhalten des Hauptwandlers charakterisiert. Mit Hilfe eines mehrkanaligen Leistungsmessgeräts sind Graphen des Wirkungsgrads gegenüber der Variation verschiedener Parameter erläutert. Mit dieser Methode sind der Einfluss der Klemmkondensatoren, Variation der Spannung im LVDC-Netz, die Änderung von Schaltfrequenz und Treiberversorgungsspannung, sowie unterschiedliche Varianten zur Gleichrichtung auf der Sekundärseite, untersucht.

13. Fazit und Ausblick

Der realisierte Wandler ist in beiden Leistungsflussrichtungen über den gesamten vorgesehenen Betriebsbereich von 0 W bis 600 W funktionsfähig und das Hauptziel der Arbeit damit erreicht. Im Buck-Modus ist bei einer Schaltfrequenz von 40 kHz ein Spitzenwirkungsgrad von 97 % bei 600 W Ausgangsleistung messbar. Im Boost-Modus ist das beobachtete Maximum bei 95,7 %, gemessen bei 600 W Ausgangsleistung und 100 kHz Schaltfrequenz. Allerdings sind in Boost-Richtung keine Daten bei geringeren Schaltfrequenzen erfasst und daher kann aufgrund der Betrachtungen in Buck-Richtung damit gerechnet werden, dass dieser Wert weiter gesteigert werden kann.

Der vorgestellte DC/DC-Wandler bietet noch viel Potential zur Verbesserung:

1. Die Auswirkung der Trench Super Barrier Rectifier Dioden, welche parallel zu den Drain-Source-Strecken der MOSFETs auf der Sekundärseite geschaltet sind, ist nur kurz untersucht. Das Datenblatt liefert keine Informationen über die zu erwartenden Schaltverluste, so dass die Charakterisierung dieser Bauelemente und der Vergleich mit Schottkydioden empfehlenswert sind.
2. Wie bereits ausführlich dargelegt, ist die Erzeugung der Taktsignale noch verbesserungswürdig. Im Buck-Betrieb liegen innerhalb jeder Schaltperiode lange Zeitabschnitte vor, während denen der Strom nicht von den MOSFETs, sondern den Dioden über der Drain-Source-Strecke getragen wird. Beim Boost-Betrieb wird auf der Sekundärseite eine von zwei Flanken pro Halbbrücke und Periode hart geschaltet, obwohl weiches Schalten prinzipiell möglich ist. Diese beiden Defizite in der Ansteuerlogik führen zu vermeidbaren Verlusten.
3. Der Bauraumbedarf des Wandlers kann noch drastisch verkleinert werden.

Zum Abschluss soll noch kurz eine Variationsmöglichkeit der Topologie angeführt werden. Wie die Messungen des Stroms der Klemmkondensatoren zeigen, fließen an dieser Stelle relativ große Blindströme durch die Oszillation der Energie zwischen den Streuinduktivitäten und den Klemmkondensatoren. Dieser Effekt kann verhindert werden, wenn die sekundärseitigen High-Side-MOSFETs nicht aktiv geschaltet, d.h. nur deren Body-Dioden leitend werden, oder die Transistoren komplett durch Dioden ersetzt werden.

Abb.13.1 zeigt eine mögliche Realisierung.

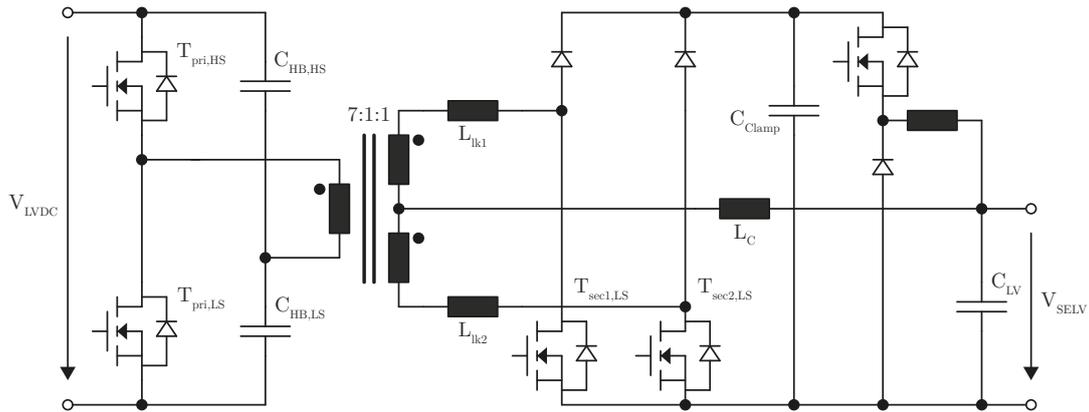


Abb. 13.1: Alternativer Topologievorschlag

Um den unkontrollierten Spannungsanstieg der Klemmspannung zu verhindern kann ein nicht-isolierender Buck-Converter verbaut werden, welcher die, von den Klemmkondensatoren, aufgenommene Energie in die Kondensatoren am 24 V Anschluss transportiert [WMC15]. Es sollte untersucht werden, ob die damit verringerte Verlustleistung aufgrund der entfallenden Pendelströme die entstehenden Nachteile überwiegt. Denn andererseits geht durch das Ersetzen der High-Side-Transistoren durch passive Dioden die Möglichkeit verloren, die Transistoren auf der Primärseite weich zu schalten.

A. Anhang

A.1. Simulationsmodell

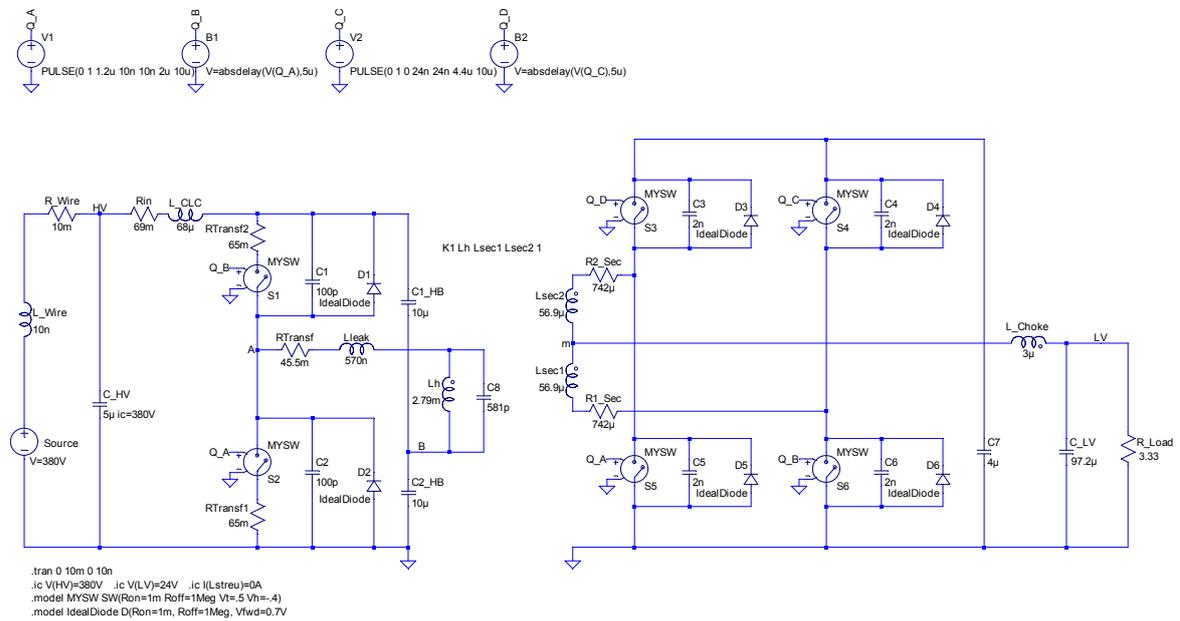


Abb. A.1: LTSpice Simulation, Buck-Betrieb, weich schaltende SiC MOSFETs

Tabellenverzeichnis

6.1. Transformatoreigenschaften bei unterschiedlichen Windungszahlen	23
6.2. Eigenschaften der Hochvoltschalter	25
6.3. Verluste der Hochvoltschalter	25
6.4. Eigenschaften Niederspannungs-Schalter	26
6.5. Verluste Niederspannungs-Schalter	27
6.6. Verlustleistungen	36
8.1. Aufbau der CAN-Nachrichten	47
9.1. Kerndaten, Windungszahlen, Flussdichten, Leiterbahnbreite b und Wick- lungswiderstand R der vier Kernvarianten	53
9.2. Verlustleistungsbilanz der unterschiedlichen Kerne	54
9.3. Zusammenfassung der Kern- und Wicklungsdaten	61
9.4. Wicklungswiderstände und Verlustleistungen	63
11.1. Eigenschaften des Planartransformators	73
11.2. Leistungsbilanz	77
11.3. Eigenschaften des Planartransformators	79
11.4. Leistungsbilanz	84
11.5. Eigenschaften des Planartransformators	86
11.6. Eigenschaften der Planardrossel	86
11.7. Parameter der Taktung und Messwerte	94
11.8. Parameter der Taktung und Messwerte	96
11.9. Leistungsbilanz	102

Abbildungsverzeichnis

1.1.	Topologie der kapazitiven Halbbrücke mit aktiver Vollwellengleichrichtung aus [Sch15]	2
3.1.	Topologie der Dual Active Half Bridge	4
3.2.	Topologie der Dual Active Half Bridge mit Current Source auf der Sekundärseite	5
3.3.	Topologie: Kapazitive Halbbrücke/Push-Pull-Stufe mit aktiver Klemmschaltung	6
3.4.	LVDC → SELV: Schaltperiode im CCM	7
3.5.	Ausschnitte einer Schaltperiode	8
3.6.	Ausschnitte einer Schaltperiode mit Pfaden des Klemmstroms	10
3.7.	LVDC → SELV: Schaltperiode im CCM mit weich schaltenden SiC MOSFETs	11
3.8.	SELV → LVDC: Schaltperiode im CCM	13
4.1.	Verschaltung der Leistungselektronischen Komponenten	14
6.1.	Planartransformator	22
6.2.	Blockdiagramm des ADuM4135 [Ana15]	28
6.3.	Schaltplan Si-MOSFET Treiber	29
6.4.	Theoretischer Kondensatorstrom bei $D = 50\%$	32
6.5.	Schutzschaltung in Richtung LVDC-Netz	34
7.1.	Messeinrichtungen	37
7.2.	Buck-Converter 3,3 V	39
8.1.	Screenshot der grafischen Oberfläche	40
8.2.	Taktsignale im Modus "Taktung LVDC + Synchrongleichrichtung"	41
8.3.	High Resolution Signal Generation [Inf14]	44
8.4.	Start- und Triggerzeitpunkte	46
8.5.	Inhalt der Frames der Thermoelemente [Max12]	48
8.6.	Taktsignal beim Doppelpulstest	48
9.1.	Schaltplan des Flyback Converters	51
9.2.	Querschnitt des Wicklungsfensters mit drei Windungen pro Kupferlage	53
9.3.	Schaltung zur Erzeugung des Massepotentials	57
9.4.	Schaltplan des 22 V Hilfswandlers	59
9.5.	Dioden zur Umschaltung der Hilfsversorgung	59
10.1.	Layout der Leistungsplatine	66
10.2.	Treiberplatine für Si-MOSFET Halbbrücke	67
10.3.	Flyback Hilfswandler für SiC-Treiberversorgung	67

10.4.	Induktive Komponenten	68
10.5.	Layout der Steuerplatine	69
10.6.	380 V → 22 V Hilfswandler	69
10.7.	3D Modell des Wandlers	70
10.8.	22 V Hilfswandler	71
10.9.	SiC-Treiberversorgung	71
10.10.	Leistungsboard mit Hilfswandlern und Treiberplatinen	72
10.11.	Steuerboard	72
11.1.	Drain-Source-Spannung bei unterschiedlicher Snubberbeschaltung	74
11.2.	Sekundärspannung des Transformators bei unterschiedlicher Snubber- beschaltung	75
11.3.	Ausgangsspannung bei statischer resistiver Belastung	76
11.4.	Wirkungsgrad bei Variation des Laststroms	76
11.5.	Thermografieaufnahme bei $I_{out} = 80$ mA	78
11.6.	$I_{out} = 0$, kein RC-Snubber verbaut	80
11.7.	$I_{out} = 490$ mA, kein RC-Snubber verbaut, Zenerdiode aktiv	80
11.8.	Ausgangsspannung bei statischer resistiver Belastung	81
11.9.	Sprung des Ausgangsstroms von 0 A auf 0,5 A	82
11.10.	Sprung des Ausgangsstroms von 0,5 A auf 0 A	82
11.11.	Wirkungsgrad aufgetragen über dem Laststroms	83
11.12.	Thermografieaufnahme bei maximaler Belastung	85
11.13.	Einschaltvorgang des Low-Side-SiC-MOSFET	88
11.14.	Ausschaltvorgang des Low-Side-SiC-MOSFET	88
11.15.	Einschaltvorgang des Low-Side-Si-MOSFET	89
11.16.	Ausschaltvorgang des Low-Side-Si-MOSFET	89
11.17.	Messaufbau	91
11.18.	LVDC → SELV: Wirkungsgrad bei unterschiedlicher Klemmschaltung	92
11.19.	LVDC → SELV: Wirkungsgrad bei Variation der Eingangsspannung	92
11.20.	SELV → LVDC: Wirkungsgrad bei Variation der Ausgangsspannung	93
11.21.	LVDC → SELV: Einzelne Schaltperiode bei $P_{out} = 120$ W	94
11.22.	SELV → LVDC: Einzelne Schaltperiode bei $P_{out} = 117$ W	97
11.23.	Verlustleistungen bei $V_{LVDC} = 380$ V und $f_S = 100$ kHz	98
11.24.	LVDC → SELV: Wirkungsgrad bei unterschiedlicher Schaltfrequenz	99
11.25.	LVDC → SELV: Wirkungsgrad bei Variation der Schaltfrequenz	100
11.26.	LVDC → SELV: Wirkungsgrad bei Variation der Treiberversorgungs- spannung	103

11.27. LVDC → SELV: Wirkungsgrad- und Verlustleistungsänderung bei inaktiver Low-Side-Synchringleichrichtung	104
11.28. LVDC → SELV: Wirkungsgrad- und Verlustleistungsänderung bei 1/5 High-Side-Synchringleichrichtung	105
11.29. LVDC → SELV: Fünf Schaltperioden bei $P_{out} = 121$ W und 1/5 High-Side-Synchringleichrichtung	105
11.30. LVDC → SELV: Wirkungsgrad- und Verlustleistungsänderung ohne SBRT Dioden	106
11.31. SELV → LVDC: Auswirkung Synchringleichrichtung	107
11.32. Tastgrad der primärseitigen SiC-MOSFETs	108
11.33. LVDC → SELV: Vergleich zwischen unidirektionalem Wandler aus [Sch15]	109
13.1. Alternativer Topologievorschlag	113
A.1. LTSpice Simulation, Buck-Betrieb, weich schaltende SiC MOSFETs . . .	115

Formelzeichenverzeichnis

Zeichen	Bedeutung	Einheit
A	Fläche	m^2
A_e	effektive Kernquerschnittsfläche	m^2
A_L	Induktivitätskonstante	H
A_q	Querschnittsfläche einer Wicklung	m^2
$A_{q,pri}$	Querschnittsfläche der Primärwicklung	m^2
$A_{q,pri,7w}$	Querschnittsfläche der Primärwicklung mit sieben Windungen	m^2
$A_{q,sek}$	Querschnittsfläche einer Sekundärwicklung	m^2
$A_{q,sek,1w}$	Querschnittsfläche einer Sekundärwicklung mit einer Windung	m^2
b	Breite	m
b_{pri}	Leiterbahnbreite auf Primärseite	m
b_{sec}	Leiterbahnbreite auf Sekundärseite	m
B	magnetische Flussdichte	T
B_{max}	maximale magnetische Flussdichte	T
$B_{max,20mA}$	maximale magnetische Flussdichte bei einem Ausgangsstrom von 20 mA	T
B_{min}	minimale magnetische Flussdichte	T
C	Kapazität	F
C_{C11}	Kapazität des Kondensators C11	F
C_{Clamp}	Kapazität der Klemmkondensatoren	F
C_G	Gate-Source-Kapazität eines MOSFETs	F
$C_{HB,LS}$	Kapazität des Low-Side Halbbrückenkondensators	F
$C_{HB,HS}$	Kapazität des High-Side Halbbrückenkondensators	F
C_{LV}	Kapazität am Netzanschluss der Sekundärseite	F
C_{OSS}	Ausgangskapazität eines MOSFETs	F
C_{PA}	Kapazität zwischen Primär- und Hilfswicklung	F
C_{PS}	Kapazität zwischen Primär- und Sekundärwicklung(en)	F
$C_{snub,pri}$	Snubber-Kondensator auf Primärseite	F
$C_{snub,sec}$	Snubber-Kondensator auf Sekundärseite	F
D	Tastgrad	%

Formelzeichenverzeichnis

D_{pri}	Tastgrad der Primärseite	%
dI	differentielle Stromänderung	A
$d\vec{s}$	differentielles Wegelement	m
dt	differentieller Zeitabschnitt	s
du	differentielle Spannungsänderung	V
E_C	Energiegehalt einer Kapazität	J
$E_{OSS,380V}$	Energiegehalt der Ausgangskapazität eines MOSFETs bei einer Drain-Source-Spannung von 380 V	J
f	Frequenz	Hz
f_{max}	maximale Schaltfrequenz	Hz
f_{min}	minimale Schaltfrequenz	Hz
f_R	Resonanzfrequenz	Hz
$f_{R,pri}$	Resonanzfrequenz auf Primärseite	Hz
$f_{R,sec}$	Resonanzfrequenz auf Sekundärseite	Hz
f_S	Schaltfrequenz	Hz
h	Höhe	m
H	magnetische Feldstärke	A m ⁻¹
I	Strom	A
i_C	Strom durch die Kapazität C_{LV}	A
I_{C11}	Strom durch den Kondensator C11	A
I_{Clamp}	Strom durch die Klemmkondensatoren	A
$I_{Clamp,RMS}$	Effektivwert des Stroms durch die Klemmkondensatoren	A
I_{gesamt}	Summe des in Kontur eingeschlossenen Stroms	A
I_L	Strom durch die Luftspule des Doppelpulstests	A
I_{LC}	Strom durch die Drossel der Sekundärseite	A
$I_{load,min}$	Minimaler Ausgangsstrom	A
I_{LVDC}	Strom durch den Anschluss zum LVDC-Netz	A
$I_{LVDC,rms}$	Effektivwert des Stroms durch die Leistungsschalter der Primärseite	A
I_{out}	Ausgangsstrom	A
$I_{out,max}$	maximaler Ausgangsstrom	A
I_{pp}	Spitzenstrom	A
$I_{pp(max)}$	maximaler Spitzenstrom	A

$I_{pp(max),sec}$	maximaler Spitzenstrom auf der Sekundärseite	A
$I_{pri,rms}$	Stromeffektivwert der Primärwicklung	A
I_{rms}	Stromeffektivwert	A
$I_{rms,pri,max}$	maximaler Stromeffektivwert durch die Primärwicklung im Buck-Betrieb	A
$I_{rms,sec,max}$	maximaler Stromeffektivwert durch eine Sekundärwicklung im Buck-Betrieb	A
$I_{sec,rms}$	Stromeffektivwert der Sekundärwicklung	A
I_{SELV}	Strom durch den Anschluss zum SELV-Netz	A
$I_{SELV,N}$	Strom durch den Anschluss zum SELV-Netz bei Betrieb im Nennpunkt	A
$I_{SW(max)}$	oberes Stromlimit des Leistungsschalters	A
$I_{SW(max),max}$	maximal spezifiziertes oberes Stromlimit des Leistungsschalters	A
$I_{SW(min)}$	unteres Stromlimit des Leistungsschalters	A
$I_{SW(min),max}$	maximal spezifiziertes unteres Stromlimit des Leistungsschalters	A
I_{Tr}	Strom durch die Primärwicklung des Transformators	A
K_{AM}	Grad der Amplitudenmodulation	-
l	Länge	m
L	Induktivität	H
l_e	effektive magnetische Weglänge	m
l_W	mittlere Windungslänge	m
L_{aux}	Streuinduktivität der Hilfswicklung	H
L_C	Induktivität der Drossel der Sekundärseite	H
L_{lk}	Streuinduktivität	H
L_{lk1}	Streuinduktivität der Sekundärwicklung 1	H
L_{lk2}	Streuinduktivität der Sekundärwicklung 2	H
$L_{lk,pri}$	Streuinduktivität der Primärwicklung	H
L_{pri}	Induktivität der Primärwicklung	H
$L_{pri,min}$	mindestens erforderliche Induktivität der Primärwicklung	H
L_{sec}	Induktivität der Sekundärwicklung	H
L_{sec1}	Induktivität der Sekundärwicklung 1	H

L_{sec2}	Induktivität der Sekundärwicklung 2	H
n	Verhältnis von Primär- zu Sekundärwindungszahl	-
n_{max}	maximales Verhältnis von Primär- zu Sekundärwindungszahl	-
N_p	Primärwindungszahl	-
N_s	Sekundärwindungszahl	-
N_W	Windungszahl	-
P	Leistung	W
$P_{LVDC,max}$	maximale Ausgangsleistung am primärseitigen Netzanschluss	W
P_{out}	Ausgangsleistung	W
$P_{SELV,max}$	maximale Ausgangsleistung am sekundärseitigen Netzanschluss	W
$P_{Treiber}$	Vom Gate-Treiber benötigte Ansteuerleistung	W
P_V	Verlustleistung	W
$P_{V,600W,100kHz}$	Verlustleistung bei 600 W Ausgangsleistung und 100 kHz Schaltfrequenz	W
$P_{V,COSS}$	Verlustleistung aufgrund der Umladung der Ausgangskapazität eines MOFETS	W
$P_{V,Cu}$	Verlustleistung aufgrund der Leitungsverluste im Kupfer	W
$P_{V,Cu,LC}$	Verlustleistung aufgrund der Leitungsverluste im Kupfer der sekundärseitigen Drossel	W
$P_{V,Cu,pri}$	Verlustleistung aufgrund der Leitungsverluste im Kupfer der Primärwicklung	W
$P_{V,Cu,sec}$	Verlustleistung aufgrund der Leitungsverluste im Kupfer der Sekundärwicklung	W
$P_{V,Cu,Tr}$	Verlustleistung aufgrund der Leitungsverluste im Kupfer des Planartransformators	W
$P_{V,F1}$	Verlustleistung in der Sicherung F1 im Nennbetrieb	W
$P_{V,ges}$	gesamte Verlustleistung	W
$P_{V,hard}$	Verlustleistung der Leistungsschalter im hart-schaltenden Betrieb	W

$P_{V,Kern}$	Verlustleistung aufgrund von Hystereseverlusten im Kernmaterial	W
$P_{V,Kern,25^{\circ}C}$	Verlustleistung aufgrund von Hystereseverlusten im Kernmaterial bei einer Kerntemperatur von 25 °C	W
$P_{V,lk}$	Verlustleistung aufgrund der Streuinduktivität im Transformator	W
$P_{V,MOSFET}$	Verlustleistung im MOSFET	W
$P_{V,Qg}$	Verlustleistung aufgrund der Umladung der Gate-Source-Kapazität eines MOSFETs	W
$P_{V,Rds(on)}$	Verlustleistung aufgrund des Durchlasswiderstands eines MOSFETs	W
$P_{V,SBRT}$	Verlustleistung aufgrund der Flussspannung der SBRT-Dioden	W
$P_{V,Schottky,sec}$	Verlustleistung in der sekundärseitigen Schottkydiode	W
$P_{V,SiC,Body}$	Verlustleistung aufgrund der Flussspannung der SiC-Bodydioden	W
$P_{V,soft}$	Verlustleistung der Leistungsschalter im weichschaltenden Betrieb	W
$P_{V,T3/4}$	Verlustleistung in den Transistoren T3 und T4 im Nennbetrieb	W
Q	Ladung	C
Q_G	Gateladung eines MOSFETs	C
Q_{rr}	Reverse Recovery Ladung	C
R	ohmscher Widerstand	Ω
R_{Cu}	ohmscher Widerstand einer Kupferleiterbahn	Ω
R_{DC,L_C}	ohmscher Widerstand der Drossel auf der Sekundärseite bei Gleichstrom	Ω
$R_{DC,pri}$	ohmscher Widerstand der Primärwicklung bei Gleichstrom	Ω
$R_{DC,sec}$	ohmscher Widerstand einer Sekundärwicklung bei Gleichstrom	Ω
$R_{DC,sec1}$	ohmscher Widerstand der Sekundärwicklung 1 bei Gleichstrom	Ω

$R_{DC,sec2}$	ohmscher Widerstand der Sekundärwicklung 1 bei Gleichstrom	Ω
$R_{DC,w}$	ohmscher Widerstand einer Wicklung bei Gleichstrom	Ω
$R_{DS(on)}$	Durchlasswiderstand eines MOSFETs	Ω
R_{F1}	ohmscher Widerstand der Sicherung F1	Ω
R_{FB}	Feedback-Widerstand	Ω
$R_{FB,final}$	finaler Feedback-Widerstand	Ω
$R_{g,Si,off}$	Gatewiderstand im Ausschaltpfad zwischen Treiber und Si-MOSFET	Ω
$R_{g,Si,on}$	Gatewiderstand im Einschaltpfad zwischen Treiber und Si-MOSFET	Ω
$R_{g,SiC,off}$	Gatewiderstand im Ausschaltpfad zwischen Treiber und SiC-MOSFET	Ω
$R_{g,SiC,on}$	Gatewiderstand im Einschaltpfad zwischen Treiber und SiC-MOSFET	Ω
$R_{g,SiC,on/off}$	Gatewiderstände im Ein- und Ausschaltpfad zwischen Treiber und SiC-MOSFET	Ω
$R_{snub,pri}$	Snubber-Widerstand auf Primärseite	Ω
$R_{snub,sec}$	Snubber-Widerstand auf Sekundärseite	Ω
s	Wegstrecke	m
t	Zeit	s
$t_0...t_{10}$	Zeitpunkt	s
t_{dead}	Totzeit zwischen dem Einschalten der sekundärseitigen Low- und High-Side-MOSFETs	s
$t_{dmag(max)}$	maximale Demagnetisierungszeit	s
$t_{dmag(min)}$	minimal notwendige Demagnetisierungszeit	s
$t_{fall,Si}$	Ausschaltzeit eines Si-MOSFETs	s
$t_{fall,SiC}$	Ausschaltzeit eines SiC-MOSFETs	s
$t_{off(min)}$	minimale Ausschaltzeit	s
$t_{on(max)}$	maximale Einschaltzeit	s
$t_{on(min)}$	minimale Einschaltzeit	s
t_{ramp}	Dauer des Stromanstiegs	s
$t_{rise,Si}$	Einschaltzeit eines Si-MOSFETs	s
$t_{rise,SiC}$	Einschaltzeit eines SiC-MOSFETs	s

t_{SBRT}	Zeitdauer, in welcher die SBRT-Diode, parallel zu einem Low-Side-Schalter auf der Sekundärseite, leitet	s
$t_{SiC,Body}$	Zeitdauer, in welcher die Bodydiode eines SiC-MOSFETs leitet	s
t_{T3}	Einschaltverzögerung des Transistors T3	s
T	Periodendauer eines Schaltzyklus	s
T_R	Periodendauer einer Resonanzschwingung	s
V	Spannung	V
V_{BR}	Durchbruchspannung einer Zenerdiode	V
$V_{(BR)DSS}$	spezifizierte Drain-Source Durchbruchspannung eines MOSFETs	V
V_{Clamp}	Spannung über den Klemmkondensatoren	V
V_{driver}	Versorgungsspannung der Si-MOSFET Treiber	V
V_{DS}	Drain-Source-Spannung eines MOSFETs	V
$V_{DS,max}$	maximal spezifizierte Drain-Source-Spannung eines MOSFETs	V
$V_{DS,max,idle}$	maximal auftretende Drain-Source-Spannung eines MOSFET im Leerlauf	V
$V_{DS,pk}$	maximal auftretende Drain-Source-Spannung eines MOSFETs	V
$V_{DS,pri,HS}$	Spannung über der Drain-Source-Strecke des MOSFETs $T_{pri,HS}$	V
$V_{DS,pri,LS}$	Spannung über der Drain-Source-Strecke des MOSFETs $T_{pri,LS}$	V
$V_{DS,sec1,HS}$	Spannung über der Drain-Source-Strecke des MOSFETs $T_{sec1,HS}$	V
$V_{DS,sec1,LS}$	Spannung über der Drain-Source-Strecke des MOSFETs $T_{sec1,LS}$	V
$V_{DS,sec2,HS}$	Spannung über der Drain-Source-Strecke des MOSFETs $T_{sec2,HS}$	V
$V_{DS,sec2,LS}$	Spannung über der Drain-Source-Strecke des MOSFETs $T_{sec2,LS}$	V
$V_{DS,T1}$	Drain-Source-Spannung der MOSFETs T1	V
V_F	Diodenflussspannung	V

$V_{F,SBRT}$	Flussspannung der SBRT-Diode	V
$V_{F,SiC}$	Flussspannung der SiC-Bodydiode	V
V_{GS}	Spannung über der Gate-Source-Strecke eines MOSFETs	V
$V_{GS,max}$	maximale Spannung über der Gate-Source-Strecke eines MOSFETs	V
$V_{GS(th)}$	Threshold-Spannung eines MOSFETs	V
V_{in}	Eingangsspannung	V
$V_{in(max)}$	maximale Eingangsspannung	V
V_{LC}	Spannung über der Drossel der Sekundärseite	V
$V_{leakage}$	Spannung über einer Streuinduktivität	V
$V_{leakage,pri}$	Spannung über der primärseitigen Streuinduktivität	V
$V_{leakage,sec}$	Spannung über der sekundärseitigen Streuinduktivität	V
V_{LVDC}	Spannung über primärseitigen Halbbrücke	V
$V_{LVDC,N}$	Nennspannung über primärseitigen Halbbrücke	V
$V_{LVDC,max}$	maximale Spannung über primärseitigen Halbbrücke	V
$V_{LVDC,min}$	minimale Spannung über primärseitigen Halbbrücke	V
V_{out}	Ausgangsspannung	V
$V_{out,AC}$	Wechselspannungsanteil der Ausgangsspannung	V
$V_{out,measure}$	gemessene Ausgangsspannung	V
V_{rev}	Spannung über einer Diode in Sperrrichtung	V
V_{RRM}	Spezifizierte Spannung in Sperrrichtung einer Diode im Dauerbetrieb	V
V_{sec}	Spannung an der Sekundärwicklung	V
V_{SELV}	Spannung am sekundärseitigen Netzanschluss	V
$V_{SELV,N}$	Nennspannung am sekundärseitigen Netzanschluss	V
V_{Tr}	Spannung über der Primärwicklung des Planartransformators	V

Formelzeichenverzeichnis

$V_{Tr,min}$	minimale Spannung über der Primärwicklung des Planartransformators beim Einschalten von $T_{pri,HS}$	V
δ	Skintiefe	m
ΔB	Flussdichteänderung	T
ΔD	Differenz zwischen Tastgrad auf Primär- und Sekundärseite	%
ΔI	Stromrippel durch die Drossel L_C	A
ΔP_V	Änderung der Verlustleistung	W
Δt	Zeitspanne	s
$\Delta t, pri, sec$	Verschiebung der Taktsignale zwischen Primär- und Sekundärseite	s
ΔV_C	Spannungsrippel über der Kapazität C_{LV}	V
ΔV_{GS}	Spannungshub über der Gate-Source-Strecke eines MOSFETs	V
$\Delta \eta$	Änderung des Wirkungsgrads	%
η	Wirkungsgrad	%
η_{Tr}	Wirkungsgrad des Transformators	%
μ	magnetische Permeabilität	V s A ⁻¹ m ⁻¹
μ_0	magnetische Feldkonstante	V s A ⁻¹ m ⁻¹
μ_{Cu}	magnetische Permeabilität von Kupfer	V s A ⁻¹ m ⁻¹
μ_e	effektive relative magnetische Permeabilität	-
μ_r	relative magnetische Permeabilität	-
ρ	spezifischer Widerstand	$\Omega\text{mm}^2/\text{m}$
ρ_{Cu}	spezifischer Widerstand von Kupfer	$\Omega\text{mm}^2/\text{m}$

Literatur

- [Aet16] Aetzwerk GmbH. Leiterplatten & SMD Schablonen Technologie: Multilayer. Website, 2016. Online verfügbar unter <http://www.ätzwerk.de/multilayer.cfm>; besucht am 21.03.2016.
- [Alb11] Manfred Albach. *Grundlagen der Elektrotechnik 1*. Pearson Studium, 2011.
- [Ana15] Analog Devices, Inc. ADuM4135 - Single-/Dual-Supply, High Voltage Isolated IGBT Gate Driver with Miller Clamp. Datasheet, 2015.
- [CC14] Shiladri Chakraborty and Souvik Chattopadhyay. Analysis and Comparison of Voltage-source and Current-source Asymmetric Dual-Active Half-Bridge Converters. *IEEE*, 2014.
- [Cre15] Cree, Inc. C3M0065090J, Silicon Carbide Power MOSFET, C3MTM MOSFET Technology. Datasheet, 2015.
- [Dio15] Diodes Incorporated. SBRT25U80SLP 25A TrenchSBR TRENCH SUPER BARRIER RECTIFIER. Datasheet, 2015.
- [EM01] Robert W. Erickson and Dragan Maksimovic. *Fundamentals of Power Electronics*. Springer, 2001.
- [Fai15] Fairchild Semiconductor Corporation. FDMT80080DC N-Channel Dual Cool 88 PowerTrench MOSFET. Datasheet, 2015.
- [Fer08a] Ferroxcube. E14/3.5/5/R - Planar E cores and accessories. Datasheet, 2008.
- [Fer08b] Ferroxcube. E22/6/16/R - Planar E cores and accessories. Datasheet, 2008.
- [Fer10] Ferroxcube. Software: Ferroxcube Soft Ferrites Design Tool 2010 3.1, 2010.
- [HWT⁺05] J.-C. Hung, T.-F. Wu, J.-Z. Tsai, C.-T. Tsai, and Y.-M. Chen. An Active-Clamp Push-pull Converter for Battery Sourcing Applications. *IEEE*, 2005.
- [Inf14] Infineon Technologies AG. XMC4400 Reference Manual V1.5 2014-04. Datasheet, 2014.
- [KKKN09] Jung-Min Kwon, Eung-Ho Kim, Bong-Hwan Kwon, and Kwang-Hee Nam. High-Efficiency Fuel Cell Power Conditioning System With Input Current Ripple Reduction. *IEEE*, 2009.
- [Lin14] Linear Technology Corporation. LT8301 - 42 VIN Micropower No-Opto Isolated Flyback Converter with 65V/1.2A Switch. Datasheet, 2014.

- [Max12] Maxim Integrated Products. MAX31855 Cold-Junction Compensated Thermocouple-to-Digital Converter. Datasheet, 2012.
- [MCB12] Hao Ma, Longyu Chen, and Zhihong Bai. An Active-clamping Current-fed Push-pull Converter for Vehicle Inverter Application and Resonance Analysis. *IEEE*, 2012.
- [Mul16] Multi Circuit Boards Ltd. Leiterplatten, PCB, SMD-Schablonen. Website, 2016. Online verfügbar unter <http://www.multi-circuit-boards.eu/>; besucht am 23.03.2016.
- [PBM09] Abraham I. Pressman, Keith Billings, and Taylor Morey. *Switching Power Supply Design*. McGraw-Hill, 2009.
- [PLSL04] Fang Z. Peng, Hui Li, Gui-Jia Su, and Jack S. Lawler. A New ZVS Bidirectional DC-DC Converter for Fuel Cell and Battery Applications. *IEEE*, 2004.
- [Rid05] Ray Ridley. Flyback Converter Snubber Design. *Switching Power Magazine*, 2005.
- [Sch15] Matthias Schulz. Entwicklung und Realisierung eines DC/DC-Wandlers für die Integration von Büroanwendungen in ein DC-Netz, 2015.
- [Sen12] Sensitec GmbH. CDS4050 - MagnetoResistive Current Sensor. Datasheet, 2012.
- [Sen15] Sensitec GmbH. CDS4006 - MagnetoResistive Current Sensor. Datasheet, 2015.
- [TDH08] Haimin Tao, Jorge L. Duarte, and Marcel A. M. Hendrix. Three-Port Triple-Half-Bridge Bidirectional Converter With Zero-Voltage Switching. *IEEE*, 2008.
- [TDK16a] TDK Corporation. Multilayer Ceramic Chip Capacitors - CKG57NX7S2A226M500JH. Website, 2016. Online verfügbar unter https://product.tdk.com/en/search/capacitor/ceramic/mlcc/info?part_no=CKG57NX7S2A226M500JH; besucht am 27.03.2016.
- [TDK16b] TDK Corporation. Multilayer Ceramic Chip Capacitors - CKG57NX7T2W225M500JH. Website, 2016. Online verfügbar unter https://product.tdk.com/en/search/capacitor/ceramic/mlcc/info?part_no=CKG57NX7T2W225M500JH; besucht am 27.03.2016.

- [Tex14a] Texas Instruments. AMC1305x High-Precision, Reinforced Isolated Delta-Sigma Modulators. Datasheet, 2014.
- [Tex14b] Texas Instruments. PMP10927 - 24V, 0.5A Zero Standby Power. Schaltplan, 2014.
- [Tex15a] Texas Instruments Incorporated. LM7321x Single and LM7322x Dual Rail-to-Rail Input and Output $\pm 15\text{-V}$, High-Output Current and Unlimited Capacitive Load Operational Amplifier. Datasheet, 2015.
- [Tex15b] Texas Instruments Incorporated. UCC28730 Zero-Power Standby PSR Flyback Controller with CVCC and Wake-Up Monitoring. Datasheet, 2015.
- [Tex16] Texas Instruments. TPS54061 - Sample & Buy. Website, 2016. Online verfügbar unter <http://www.ti.com/product/TPS54061/samplebuy>; besucht am 28.03.2016.
- [Vis15] Vishay General Semiconductor. SMBJ5.0D thru SMBJ188D, SMBJ5.0CD thru SMBJ18CD. Datasheet, 2015.
- [Vos13] Martin Vossiek. Vorlesungsskript: Passive Bauelemente und deren HF-Verhalten, 2013.
- [Wik16] Wikipedia. ISO 10303. Website, 2016. Online verfügbar unter https://en.wikipedia.org/wiki/ISO_10303; besucht am 03.04.2016.
- [WMC15] Bret Whitaker, Daniel Martin, and Edgar Cilio. Extending the Operational Limits of the Push-Pull Converter with SiC Devices and an Active Energy Recovery Clamp Circuit. *IEEE*, 2015.